

(論文)

高圧アニールプロセスの半導体デバイス用デュアルダマシン銅配線形成への応用

The Application of High Pressure Annealing to Damascene-fabricated Cu Interconnections in ULSI Devices



大西 隆*(工博)
Dr. Takashi Onishi



逸見義男*
Yoshio Itsumi



吉川哲也**
Tetsuya Yoshikawa



宗政 淳**
Jun Munemasa



藤井秀夫***
Hideo Fujii

The concept and effects of a new high-pressure damascene fabrication technology annealing process for Cu interconnections are described in this paper. Results indicated that high-pressure annealing is effective for precisely injecting Cu into minute via holes and trenches. These results, supported by thermal elasticity and plasticity analysis using the finite-element method (FEM), indicated that a large portion of the additional external pressure acts to push the Cu film into the via holes. The process was also confirmed to be effective for preventing the occurrence of minute voids, thereby improving the adhesive strength between the Cu and TaN barrier layers, and the distribution of the poly-crystalline (111) orientation.

まえがき = Si 半導体デバイスにおいては、微細化、高集積化に対応するために図 1 に示すような多層構造配線が近年主流になっている。配線材料に関しても、配線を通る信号伝播遅延を防ぐために、従来の Al 配線からより電気抵抗率の低い Cu 配線の適用が検討されている^{1)~3)}。Cu 配線形成では図 2 に示すデュアルダマシン法が主流であり、あらかじめ絶縁膜に形成したビア・トレンチ（配線接続孔・配線溝）にバリアメタル（拡散防止膜）と Cu シード（電解めっきの下地導電膜）をスパッタリング（Physical Vapor Deposition: PVD）法で順次形成した後、電解めっき（Electrochemical deposition: ECD）法で Cu 配線を埋込みながら形成する。

Cu 配線の埋込み特性はシード層の被覆形状や電解めっきの埋込み能力などで決まるが、微細形状への埋込み

能力には限界があり、高アスペクト比のビアや微細幅のトレンチでは欠陥のない完全埋込みが困難になると予想される⁴⁾。そして状況によっては図 3 に示すように空孔や介在物が Cu 膜中に生じる事態にもなりうる。特に、配線内部に微細ボイドが生じた場合は断線・配線抵抗の増加、エレクトロマイグレーション（Electromigration: EM）耐性の低下を招くことから、Cu 配線の埋込み不全是配線の信頼性に係わる重大な問題になると懸念される。

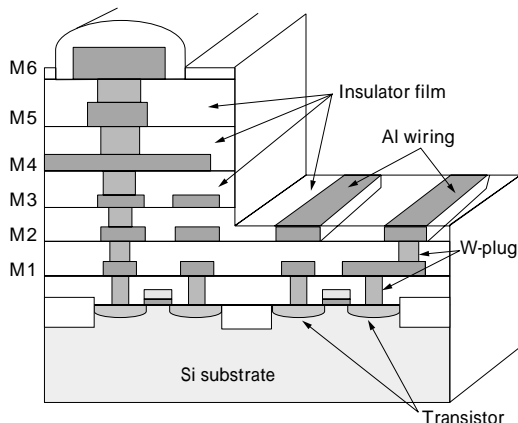


図 1 Si 半導体デバイスの構造
Fig. 1 A typical structure of Si semiconductor devices

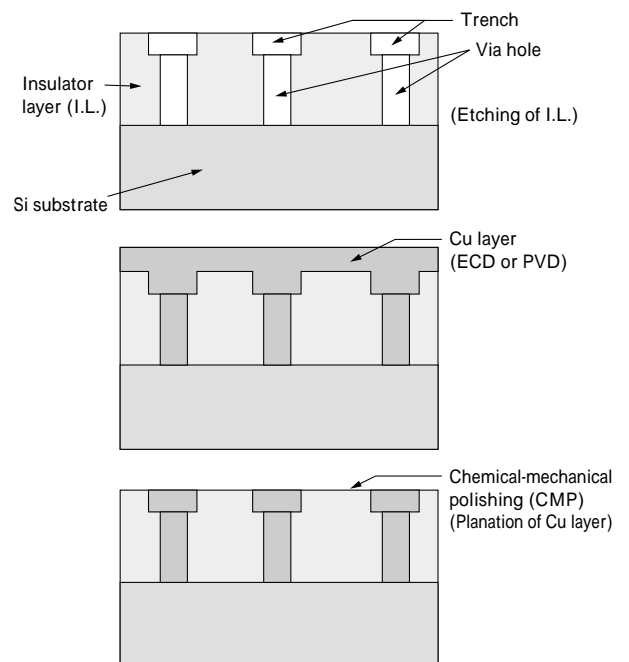


図 2 デュアルダマシン法による Cu 配線形成プロセス
Fig. 2 Fabrication process of dual-damascene Cu interconnections

*技術開発本部・材料研究所 **機械カンパニー・SPE 事業化推進部 *** 陶コベルコ科研

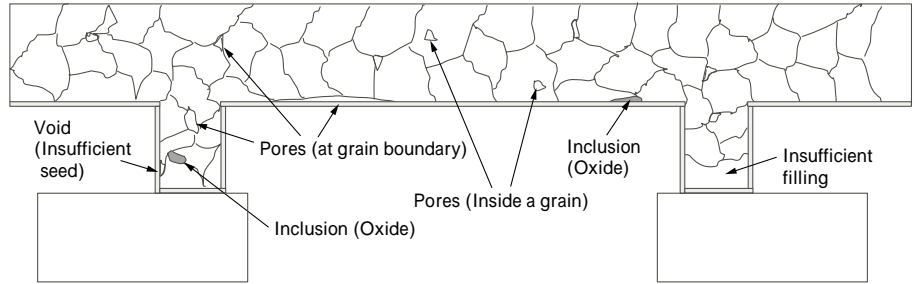


図3 As-deposited 状態における Cu 配線の断面組織 (モデル例)
Fig. 3 Cross-sectional microstructure of as-deposited Cu interconnections

当社では Cu 薄膜のビア・トレンチへの良好な埋込み性確保と配線の信頼性向上を目的に、高圧アニールに係わる装置・プロセス開発を行っている。高圧アニール処理はこれまでに Al 配線のプラグ埋込にも検討されているが⁵⁾⁶⁾、Cu 配線を高圧 Ar ガス下で熱処理することによりビア・トレンチへの埋込み完全化や微細ポイドの解消が期待でき、Cu 配線の信頼性向上、歩留向上に効果があると考えられる^{7)~9)}。本報では、高圧アニールプロセスのコンセプトとその効果を紹介する。

1. 高圧アニールプロセスのコンセプト

高圧アニールプロセスは熱間静水圧プレス (Hot Isostatic Pressing: HIP) 技術に応用したものであり、その概念図を図4に示す。HIP 技術は高ガス圧 (100 ~ 1000 MPa) と高温 (300 ~ 3000 °C) の相乗効果を利用して材料を加圧処理する技術である。材料中の残留気孔除去に有効であることから、これまでも様々な材料加工に使用されている。

高圧アニールプロセスはこの HIP 技術を ULSI の Cu 薄膜リフロに应用したものである。デュアルダマシン Cu 配線プロセスに应用すると、「高圧押出モード」と「高圧アニールモード」の2種類のモードにより、「配線薄膜の完全埋込み」、「配線薄膜の完全緻密化」、「配線薄膜の密着性向上」、「配線薄膜の結晶組織の最適化」が図れるものと期待される。

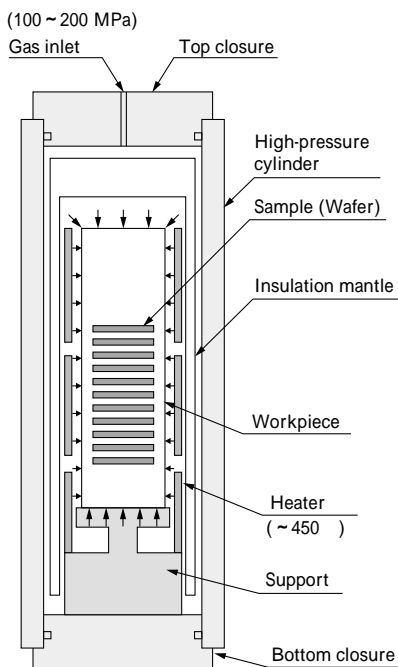


図4 高圧アニール装置の概念図
Fig. 4 A sketch of set-up for samples in pressure vessel

2. 実験方法

2.1 高圧アニール処理装置

写真1に実験に使用した高圧アニール処理装置 (HiPA-HIP mini 820[®]) の外観写真を示す。この装置は比較的コンパクトなスタンドアロンタイプであり、サンプルウェーハをウェーハカセットに設置すれば、連続自動処理するシステムになっている。また、この装置は ULSI の配線工程に应用するために下記の特徴を備えており、0.13 μm 世代以降の ULSI 製造への対応を図っている。

- 1) クリーンな高圧を実現する最適構造設計
- 2) 高スループットを実現する装置構成の最適化
- 3) HIP 技術から継承した安全設計

2.2 高圧アニールプロセス

薄膜試料にはスパッタリング及びめっきで形成した Cu 薄膜 (PVD-Cu, ECD-Cu 薄膜) を用い、シリコンウェーハにあらかじめビア・トレンチを形成した評価素子 (Test Element Group: TEG) 上にそれぞれ表1に示す条件で成膜した。形成した Cu 薄膜に対して、所定の条件にて常圧アニールまたは高圧アニールを施した。形成した薄膜の応力は光てこ法¹⁰⁾、密着性はスクラッチテスト



写真1 高圧アニール処理装置 (HiPA-HIP mini 820) の外観
Photo 1 Appearance of a high-pressure anneal unit (HiPA-HIP mini 820)

表1 Cu 薄膜の成膜条件
Table 1 Depositing conditions of Cu films

PVD	Base chamber pressure	1×10^{-6} Torr
	Ar gas pressure	2×10^{-3} Torr
	Distance S/C	55 mm
	Power density	3.2 W/cm ²
	Substrate temperature	RT (Water cooled)
ECD	Seed layer	PVD-Cu (t = 50 nm)
	Plating bath	EEJA Microfab CU-100
	Bath temperature	25
	Current density	17 mA/cm ²
	Distance A/C	20 mm

で評価した。ここで測定した薄膜応力のデータを基に、薄膜の弾性定数を見積もり、求めた弾性定数を使用してCu配線、特にビア部の熱弾塑性解析を行った。解析には汎用有限要素法ソフトウェア: ABAQUS ver. 5.8を用い、有限要素法にて応力と歪みに係わる諸量を計算した。また、一部のTEGについては、ビア部の断面を収束イオンビーム装置の2次イオン像(FIB-SIM)にて観察し、Cuの埋込性を評価した。さらに、薄膜に対するキャラクタリゼーションとして、透過型電子顕微鏡(TEM)、X線回折(XRD)、電子線後方散乱回折(EBSD)¹⁾、裏面2次イオン質量分析(Backside SIMS)による測定・観察を行った。

3. 結果及び考察

3.1 Cu配線の埋込み性

ECD-Cu薄膜の加熱・冷却過程での典型的応力変化を図5に示す。加熱過程において、室温から150までの低温域では弾性変形を起こし、膜応力は引張から圧縮に直線的に変化するが、加熱温度が150を超えると降伏が生じ、応力は一定値をとる。さらに加熱温度を増加させると、300付近から膜応力は緩和し始める。この結果から、Cu薄膜は150以上の温度で塑性変形することがわかる。

図5にはAshbyらが提案・作成しているCuの塑性変形機構図と同様な手法により、所定の応力と温度範囲における最も支配的な塑性変形機構も合わせて示した。この図の作成に当たっては、Ashbyら¹²⁾の手法を薄膜用に修正したThoulessら¹³⁾の手法を用い、平均結晶粒径を1 μ mとして算出した。両図を重ね合わせると、所定の

温度・応力下でCu薄膜が塑性変形する際の支配機構を知ることができる。たとえばECD-Cu薄膜を300に加熱・保持しながら150MPaの圧力を印加すると、転位芯拡散クリープ機構により、Cu薄膜はビア内部に押込まれる方向に変形する。この状態から除圧・降温を行うことでポイドフリーな配線が得られると考えられる。

図6にはビア部の熱弾塑性解析を行った計算モデルを示す。計算に当たっては、Cu、SiO₂、Siをそれぞれ図6に示すディメンジョンで設定した2次元軸対象要素モデルを用いた。モデルが軸対象であることから、軸上(x=0)にある接点はU_x=0とし、径方向の外周部ではU_xがどの接点においても等しくなるようにU_xは自由とした。なお、計算に際しては、SiO₂とSiは弾性体とし、Cuのみ弾塑性体とした。Cuの物性値は図5に示した応力・温度曲線から求めた値を使用した。

このモデルで400まで加熱した場合のCu薄膜の応力状態を計算した結果、図7に示す結果が得られた。図

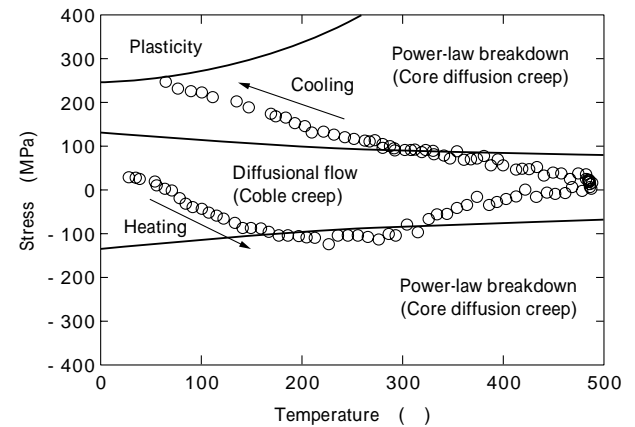


図5 ECD-Cu薄膜の応力-温度曲線
Fig. 5 Stress-temperature curves of ECD-Cu films

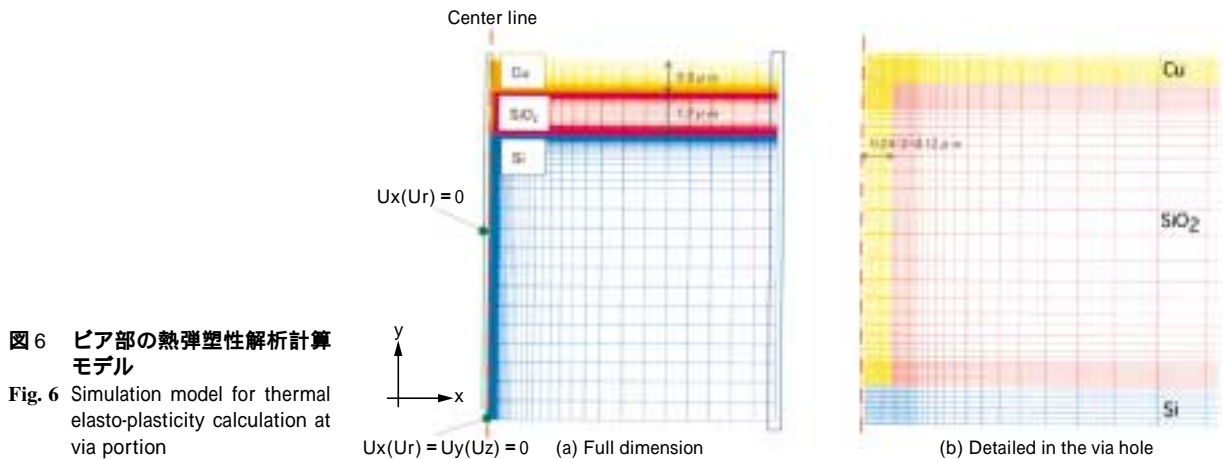


図6 ビア部の熱弾塑性解析計算モデル
Fig. 6 Simulation model for thermal elasto-plasticity calculation at via portion

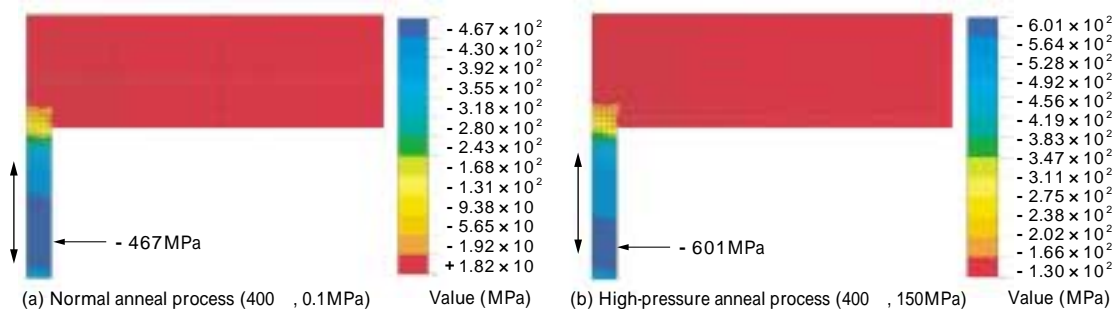


図7 400℃アニール時の軸方向応力解析結果
Fig. 7 Stress distribution of Cu interconnections in axial direction heated to 400

7は軸方向の応力解析結果であり,Cu 薄膜の部分だけを表示している。(a)常圧アニール処理試料,(b)高圧アニール処理試料とも同階調のカラーマッピングで表示されており,ビアの開口部から底部へ行くに従って圧縮応力は増加する傾向を持つ。しかし両者ではそれぞれカラーに対応する数値に違いがある。常圧アニール処理試料では最大となる応力が - 467 MPa であるのに対して,高圧アニール処理試料でのそれは - 601 MPa であり,後者では外部から印加した圧力:150 MPa 相当分がビアの軸方向応力として付加されていることがわかる。すなわち,高圧アニール処理では印加した圧力:150 MPa がそのまま Cu 薄膜をビア底に押込む力として作用している。

デバイス模擬サンプルに対する ECD-Cu 薄膜のビア部への埋込み状況を SIM にて観察した結果を写真 2 に示す。As-deposited 状態(電解めっきで成膜した直後)の試料では,Cu は 60%程度ビア部に埋込まれているが,ビア底部には埋込み不全がみとめられる。この試料を所定条件(350℃,15min,150 MPa)で高圧アニール処理すると,Cu 薄膜はポイドフリーでビア底まで完全に埋込まれる。ビア部の結晶組織はトレンチ部のそれに比べると異なり,結晶粒径が小さくなっているが,ビア部では側面が拘束され薄膜のサイズがトレンチ部より小さいことから,エネルギー的に安定なより細かい多結晶組織をとるためと考えられる。結晶配向は(111)が支配的で,ビア部とトレンチ部で結晶配向に大きな相違は見られない。

PVD-Cu, ECD-Cu 薄膜の高圧アニール処理によるビア部(直径:0.28 μm,深さ:2.4 μm)への埋込み状況

を処理条件の観点から定性的にまとめると,表 2 に示す結果となる。この結果から,ECD-Cu 薄膜は表 2 に示す温度と応力の全ての組み合わせで埋込まれるのに対して,PVD-Cu 薄膜は高温・高圧条件でないと埋込まれない。換言すると,ECD-Cu 薄膜は PVD-Cu 薄膜に比べてリフロ性に優れ,埋込まれやすいといえる。この原因については明らかになっていないが,Cu 薄膜のリフロ性には水素が関与していると考えられる。すなわち,ECD-Cu 薄膜ではめっきプロセス中で水素を発生させながら膜の成長が進むため,結果として膜中に生じた空孔が Cu を軟化させ,リフロ性向上に寄与していると考えられる。PVD-Cu 薄膜においても,Ar + H₂ 雰囲気中で成膜することによりリフロ性が向上することが確認されている。

一方,As-deposited 状態(成膜直後)の試料を所定条件で常圧アニール処理すると,Cu はほとんど埋込まれておらず,As-deposited 状態でビアの開口部から 60%程度まで埋込まれていたはずの Cu も吸上ってしまう。この吸上り現象は Cu のストレスマイグレーション(SM:Stress Migration)で生じたものと考えられるため,アニール終了時点の Cu 薄膜の残留応力を解析した。図 8 にはアニール終了時点の Cu 配線の Mises 相当応力計算結果を示す。常圧アニール処理試料では,ビア開口部のすぐ下に Mises 相当応力がゼロになる領域が存在し,その下側(ビアの内部)に Mises 相当応力の大きい領域が存在する。従ってビア部では,開口部からビア底にかけて応力勾配が存在し,相当応力の大きいビア底から相当応力の小さいビア開口部に原子輸送が生じると考えられ,これが吸

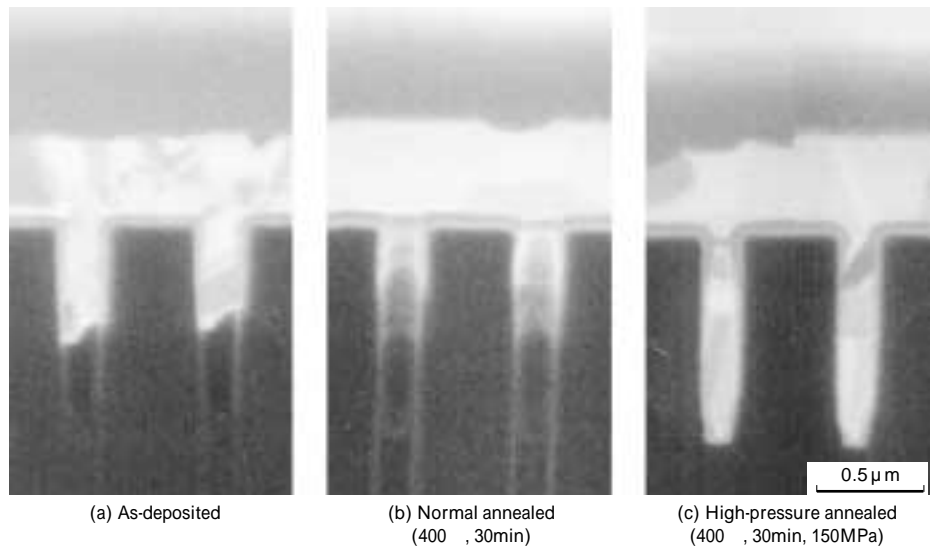


写真 2 Cu 薄膜を埋込んだビア部(直径:0.28 μm 深さ:1.0 μm)の断面 SIM 像

Photo 2 Cross-sectional SIM images of Cu interconnections in via holes (0.28 μm in diameter and 1.0 μm in depth)

表 2 Cu 薄膜の埋込み特性
Table 2 Filling performance for ECD-Cu and PVD-Cu films

			Temp.			
			350	400	450	500
ECD-Cu	Press.	120 MPa	Good	Good	Good	—
		150 MPa	Good	Good	Good	—
		200 MPa	Good	Good	Good	—
			Temp.			
			350	400	450	500
PVD-Cu	Press.	120 MPa	NG	NG	NG	—
		150 MPa	NG	NG	NG	—
		200 MPa	NG	NG	Partly good	Good

Via size : 0.28 μm in diameter, 2.4 μm in depth

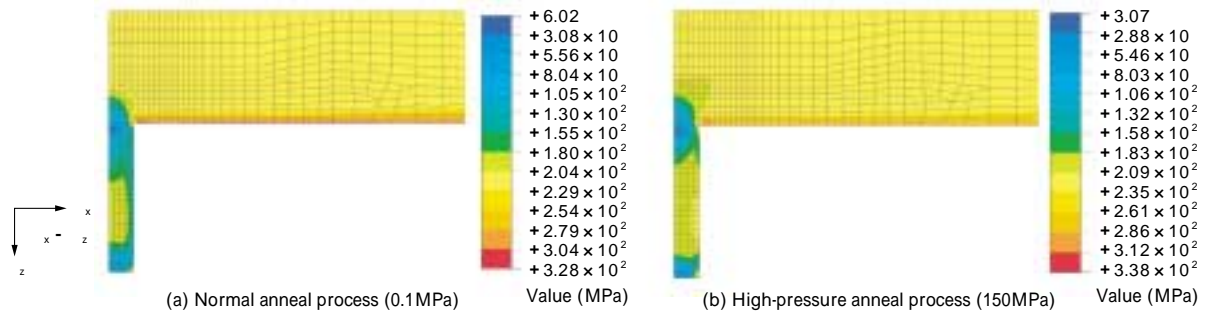


図8 アニール終了時の Mises 相当応力解析結果
Fig. 8 Mises equivalent stress distribution of Cu interconnections at the completion of annealing

上り現象の原因となる。一方、高圧アニール処理試料では、高温保持時に各軸応力が等しくなり、また Mises 相当応力が小さくなり、ビア部に応力勾配が生じない。高圧アニール処理で吸上りが生じないのは、このような応力勾配が生じないことと外部圧力を印加することで吸上りを機械的に抑えながら応力緩和させるためと考えられる。

吸上がり現象が応力勾配を駆動力とするストレスマイグレーションであるとすれば、ビア部に残留応力勾配が存在する状況では、試料の履歴にかかわらずアニールで吸上りが生じる。したがって、高圧アニール処理した試料でも、その処理条件次第では、その後の常圧アニール処理で吸上りが生じることになり、この現象は確認されている。As-deposited 状態で埋込み性が不十分であった試料を所定条件で高圧アニール処理すると、Cu は一旦ビア部に埋込まれるが、その後同温度で常圧アニール処理を行うと、ビア底に吸上りが生じる。そこで、高圧アニール処理した試料の応力緩和挙動を調べた結果、温度：350℃、圧力：150 MPa の処理条件下では、処理時間：15 min 以下の場合に同温度の常圧再アニール処理で応力緩和が生じることが確認された。この結果から、再アニールによる吸上がり現象を抑制するためには、再アニール温度より高い温度で、30 min 以上の長時間の高圧アニール処理を行う必要があることが判明した。

3.2 Cu 配線の緻密化

高圧アニール処理による Cu 配線薄膜中に生じた微細ボイドの除去効果を検証するために、水分に由来するボイドを含んだ Cu 薄膜試料を作製し、高圧アニール処理によるボイド除去実験を試みた。PVD-Cu 薄膜（膜厚：1 μm）の中間に CuO 膜（膜厚：30nm）を介したシート状薄膜試料を作製し、Ar に H₂ を 10% 含有させた雰囲気中で 500℃ にて 1h 保持する熱処理を行った。その結果、シート状薄膜試料全面にわたって微細なふくれがみとめられた。写真 3 (a) はこの試料の断面を観察した SIM 像を示しており、Cu 薄膜の中間にボイドが発生していることが確認できる。この試料を SIMS にて分析した結果、ボイドの近傍にのみ水素が検出されたことから、このボイドは水分に由来するものと考えられる。この試料を高圧アニール処理（450℃、120 min、150 MPa）すると、写真 3 (b) に示すようにボイドの密度は変化しないものの、サイズは大幅に減少した。さらにこの試料を常圧再

アニール処理（450℃、120 min）すると、写真 3 (c) に示すように一部のボイドはサイズが増加した。

これら一連の実験結果から、水蒸気を含んだボイドでは収縮・膨張は可逆的に起こり、高圧アニール処理はこのボイド除去に一定の効果があることが確認できた。

3.3 Cu 配線のバリアメタルとの密着性

バリアメタルである TaN 薄膜と PVD-Cu 薄膜の密着性

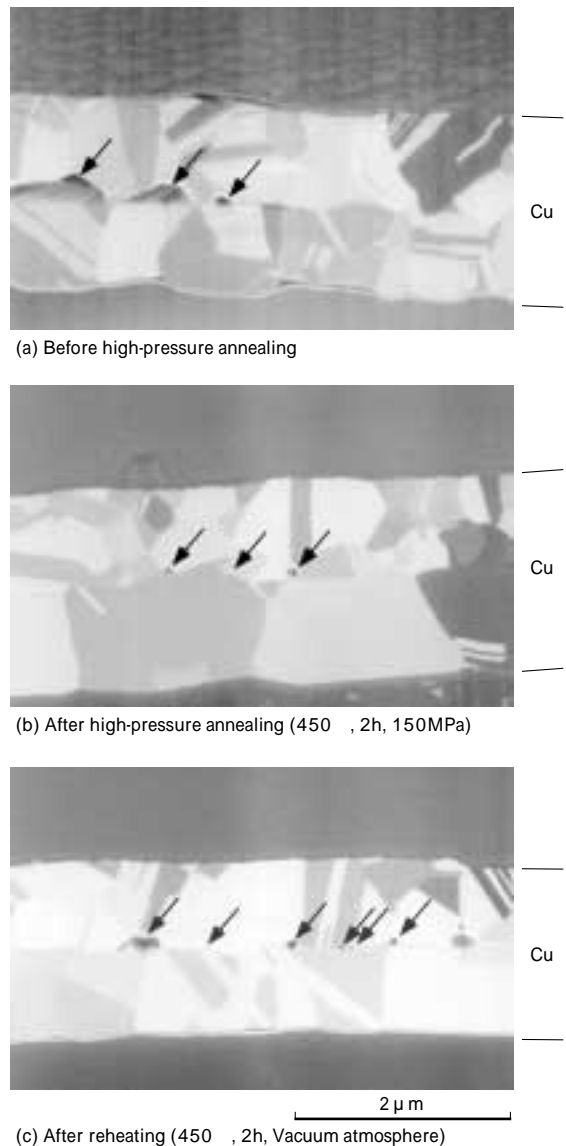


写真3 Cu/CuO/Cu 箔熱処理材の断面 SIM 像
Photo 3 Cross-sectional SIM images of Cu/CuO/Cu films including voids

をスクラッチテストにより評価した結果を図9に示す。図の縦軸はスクラッチテストで剥離し始める荷重を示しており、この値が大きいほど密着性が強いと判断できる。図9に示すように As-deposited 状態の Cu 薄膜に常圧アニールや高圧アニールを施しても密着性はあまり変化しない。ところがこの後常圧再アニールを施すと、図10に示すように密着性は変化する。常圧アニール後再アニールした場合、密着性はほぼゼロにまで低下し、Cu/TaN 界面で剥離が生じる。これに対して、高圧アニール後再アニールした場合、密着性は再アニール前に比べると低下するものの、その低下量をかかなりの程度抑えることができる。

そこで、高圧アニール処理で密着性が向上する原因を調べるために、Cu/TaN 界面の状況を Backside SIMS にて分析した。図11には各試料に対する構成元素のデプスプロファイルを示す。各試料とも Cu は TaN でバリアされており、シリコンウェハ側までの拡散はみとめられない。As-deposited 状態の Cu 薄膜と常圧アニール処理した Cu 薄膜では界面部での Cu, Ta の拡散幅は小さく、高圧アニール処理した Cu 薄膜では界面部での拡散幅が大きくなっている。このことから、Cu と Ta の相互拡散（反応層形成）が界面の機械的強度を増加させ、密着性を向上させていると考えられる。

次に、高圧アニール処理による拡散促進を検証する目的で、Cu/TaN 界面を断面から透過型電子顕微鏡にて観察した。写真4に各試料の断面 TEM 像を示す。いずれの写真にも Cu/TaN 界面に所定の厚みをもった中間層の存在がみとめられる。この中間層は分析の結果、Cu と Ta 元素のみで構成されており、Cu と Ta から成る非晶質層であることが確認された。As-deposited 状態の Cu 薄膜と常圧アニール処理した Cu 薄膜では、この中間層の厚みが約 2 nm であるのに対して、高圧アニール処理した Cu 薄膜では、この中間層の厚みが約 4 nm と 2 倍に拡大しており、図11に示した構成元素のデプスプロファイル測定結果を裏付ける結果が得られた。

Cu と Ta の相互拡散が空孔移動による自己拡散である

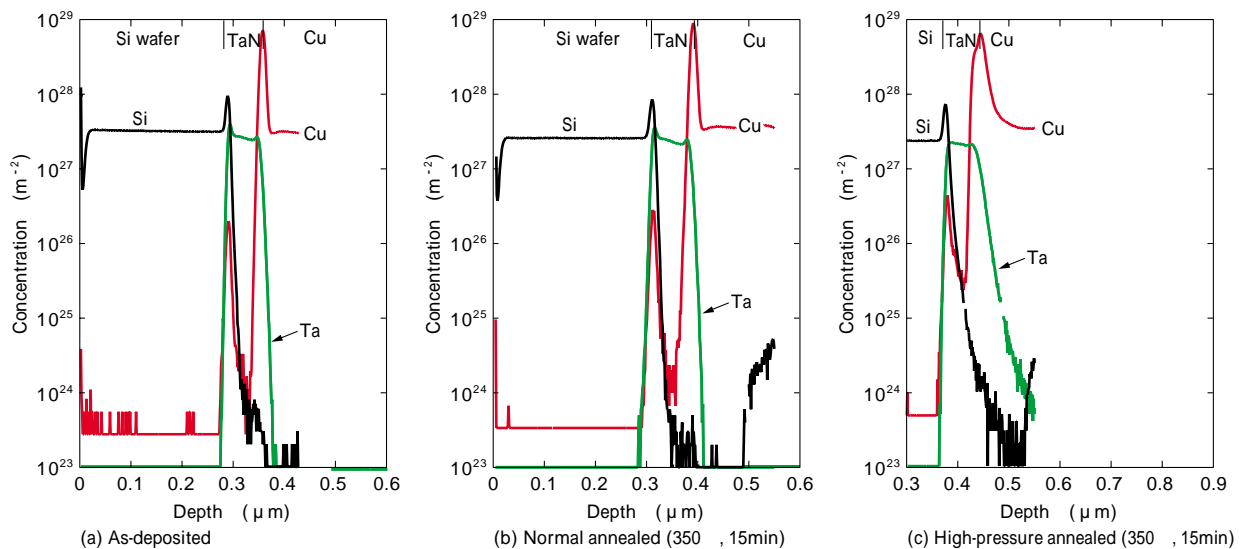


図11 Backside SIMS 分析による TaN/Cu 界面における構成元素の濃度プロファイル
Fig.11 Backside SIMS depth profiles of the interface of TaN and PVD-Cu films

と仮定すると、空孔移動時に活性化体積が正になることから、外圧が高いほど自己拡散しにくくなる。実験結果はこれと逆の結果になっており、このことから高圧アニール処理による拡散の促進は高圧下で Cu と Ta の化合

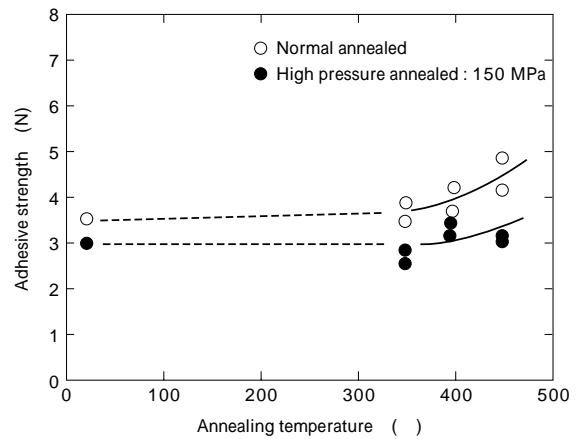


図9 スクラッチテストで評価したアニール後の Cu/TaN 界面の密着強度

Fig.9 Adhesive strength between Cu and TaN films after annealing measured by scratch test

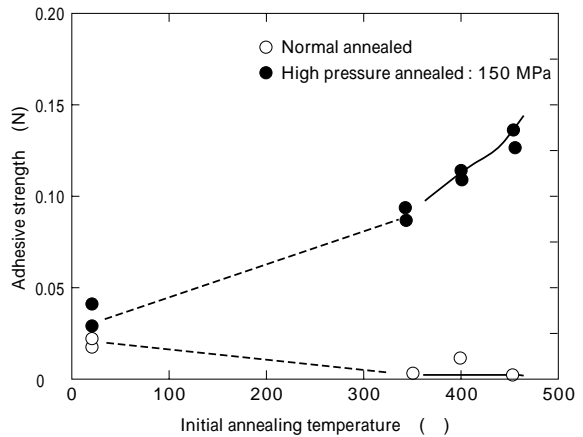


図10 常圧再アニール後の Cu/TaN 界面の密着強度(再アニールは窒素雰囲気中において 450 °C に加熱)

Fig.10 Adhesive strength between Cu and TaN films after normal reannealing (The normal reannealing is performed at 450 °C in N₂ flow atmospheres)

物形成（非晶質層形成）反応が促進されるためと考えられる。

3.4 Cu 配線の多結晶組織

Cu 薄膜は室温再結晶（セルフアニール）することが従

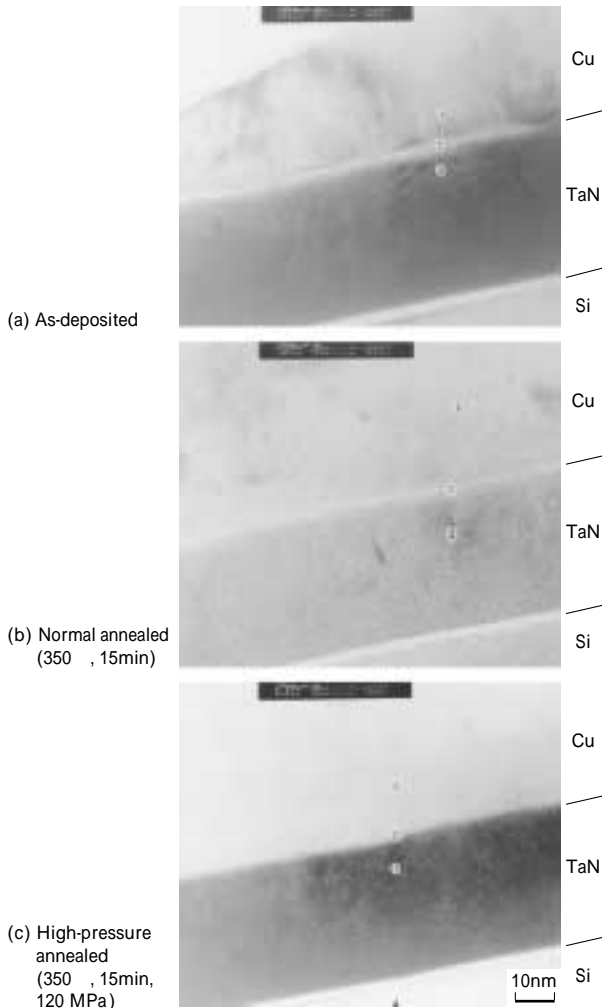


写真4 TaN/Cu 界面の断面 TEM 像
Photo 4 Cross-sectional TEM micrographs of the interface of TaN and PVD-Cu films

来から知られている。そこで成膜直後と一定時間経過後に所定条件で熱処理した Cu 薄膜に対して X 線回折測定を行ったが、結晶配向性の遷移や異常粒成長は確認できなかった。この事実を確認した上で、常圧アニール及び高圧アニールを施した PVD-Cu 薄膜の X 線回折測定を行った。測定した X 線回折チャートを図12 に示す。いずれの Cu 薄膜でも結晶配向性の遷移や異常粒成長はみとめられなかったが、高圧アニール処理した Cu 薄膜では、処理温度が高いほど Cu (111) 配向性が増加する傾向がみとめられた。

そこでこの状況を詳細に調べるべく、EBSD 測定を実施した。図13 に PVD-Cu 薄膜の EBSD による結晶方位図を示す。As-deposited 状態の Cu 薄膜は結晶粒が微細であり、(111) 配向粒の周りに (100) あるいは (511) 配向粒が多く存在する。As-deposited 状態の Cu 薄膜に常圧アニールを施すと、結晶粒成長をおこすが、(111) 配向粒と(100)配向粒の比率は変わらず、依然として(001) 配向粒が多く存在する。一方、As-deposited 状態の Cu 薄膜に高圧アニールを施すと、結晶粒成長とともに(111) 配向粒の比率が増え、(001) 配向粒が減少していく。

また、EBSD 測定した試料の結晶粒界の対応格子タイプ分布を図 14 に示す。As-deposited 状態の Cu 薄膜と常圧アニール処理した Cu 薄膜では 3 対応粒界が最も多く存在する。(111) 配向粒と(511) 配向粒は双晶の関係にあり、その結晶粒界は 3 対応粒界になることが報告されている¹⁴⁾。従ってこれらの Cu 薄膜では(111) 配向が支配的であるが、双晶が多く形成されていることがわかる。これに対して、高圧アニール処理した Cu 薄膜では 1 対応粒界が最も多く存在し、3 対応粒界は著しく減少する。従って高圧アニール処理により Cu 薄膜の双晶が解消され、(111) 配向粒が増加することがわかる。

むすび=本報では、高圧アニールプロセスを Si 半導体デバイスのデュアルダマシ Cu 配線形成に適用すること

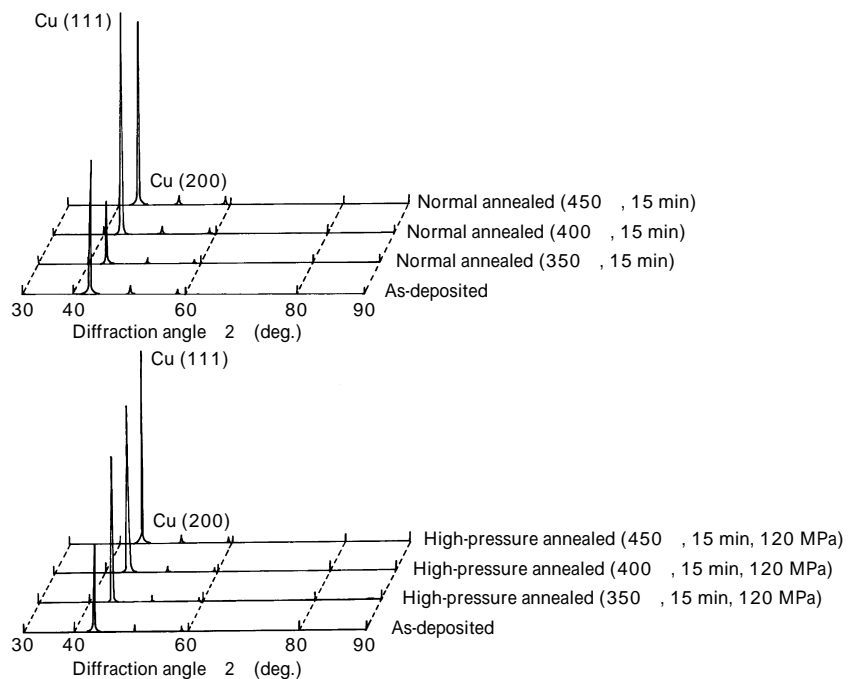


図12 種々の条件でアニールした PVD-Cu 薄膜の X 線回折パターン
Fig.12 X-ray diffraction patterns of PVD-Cu films after different annealing processes

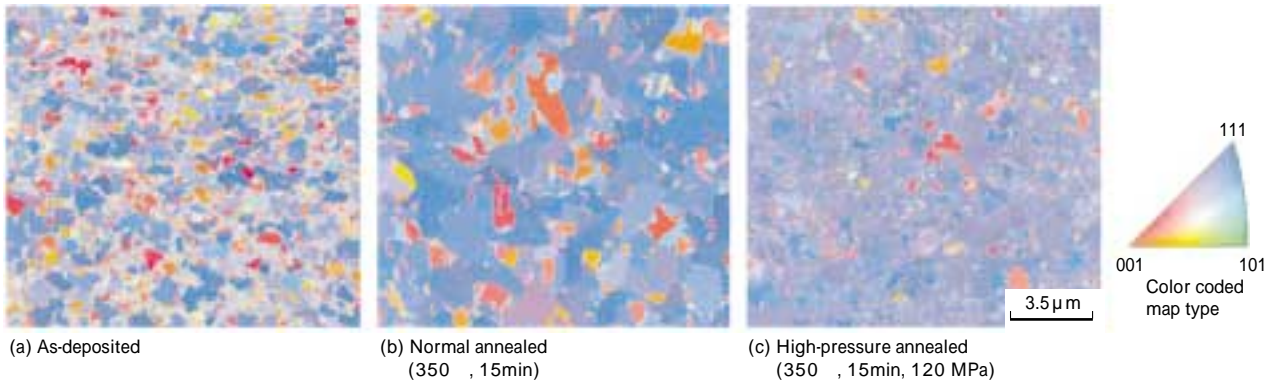


図13 PVD-Cu 薄膜のEBSDによる結晶粒・方位図
Fig.13 Crystal orientation map of PVD-Cu films measured by EBSD

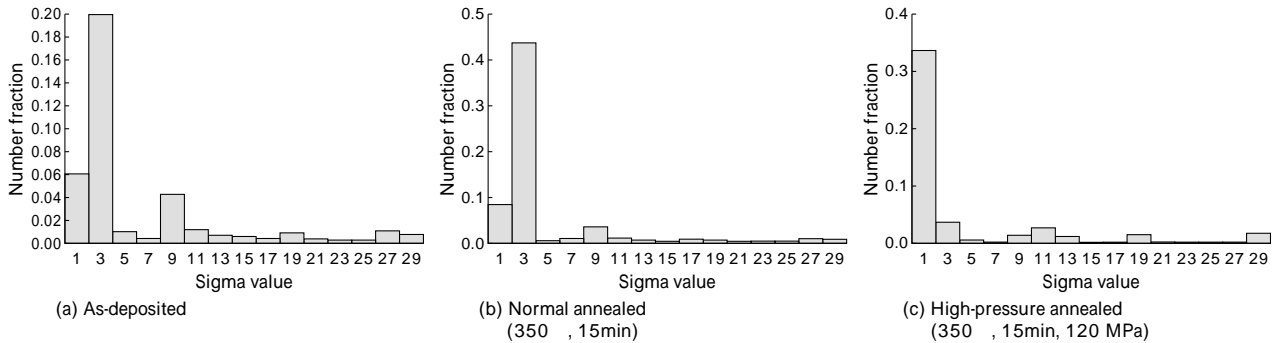


図14 PVD-Cu 薄膜のEBSDによる対応格子タイプ分布図 ($\Sigma=1$ は 15° 以下の小傾角粒界と定義)
Fig.14 Coincidence site lattice boundaries of PVD-Cu films ($\Sigma=1$ is defined as a low-angle grain boundary less than 15°)

を目的に、高圧アニールプロセスがCu配線の信頼性・歩留向上に及ぼす効果を紹介した。高圧アニールプロセスは「配線薄膜の完全埋込み」、「配線薄膜の完全緻密化」、「配線薄膜の密着性向上」、「配線薄膜の(111)配向性向上」に有効であることを検証するとともに、高圧アニールプロセスを採用する際は、後工程での熱履歴で生じるビア部の吸上がり現象を防止するために、処理条件を最適化する必要があることも明らかにした。

高圧アニールプロセスは次世代の超高集積化Si半導体デバイスで必要となる配線形成技術と考えられる。今後は装置のブラッシュアップと合わせて、低電気抵抗率と高信頼性を有する配線形成技術のソリューションを提案することにより、実デバイスプロセスへの実用化、普及を図っていきたいと考えている。

参考文献

- 1) P. Singer : Semiconductor International November 1997(1997) p.67.
- 2) A. E. Braun : Semiconductor International April 1999(1999) p.58.

- 3) P. Gwynne : IBM Research No.4, 1997 (1997) p.17.
- 4) P. Borgesen et al. : Appl. Phys. Lett. Vol.60, No.14 (1992) p.1706.
- 5) G. A. Dixit et al. : IEDM '94 Technical Digest (1994) p.105.
- 6) P. J. Holverson et al. : Proceedings 1995 VMIC Conference Asia Session (1995) p. 537.
- 7) T. Fujikawa et al. : Advanced Metallization Conf. 1999 (1999) p.105, Materials Research Society.
- 8) K. Suzuki et al. : Advanced Metallization Conf. 1999 (1999) p.155, Materials Research Society.
- 9) T. Fujikawa et al. : Jpn. J. Appl. Phys. Vol.40, Part 1, No.4A (2001) p.2191.
- 10) P. A. Flinn et al. : IEEE Trans. Electron Devices ED Vol.34, No.3 (1987) p.689.
- 11) R. R. Keller et al. : J. Electron. Mater. Vol.26, No.9(1999) p.996.
- 12) H. J. Frost et al. : Deformation Mechanism Maps (1982) p.20, Pergamon Press.
- 13) M. D. Thouless et al. : J. Mater. Res. Vol.8, No.8(1993) p.1845.
- 14) D. P. Tracy et al. : J. Electron. Mater. Vol.22, No.6(1993) p.611.