

(論文)

ヘテロエピ・ダイヤモンド基板上に作製した高周波トランジスタの10GHz超動作の実証

Over 10GHz Operation of RF Transistors Fabricated on Heteroepitaxial Diamond Substrates



横田嘉宏*(工博)

Ph. D. Yoshihiro YOKOTA



川上信之*

Nobuyuki KAWAKAMI



橋 武史*(工博)

Ph. D. Takeshi TACHIBANA

It is a necessity to demonstrate a method of device operations for showing the performance of heteroepitaxial diamond films as device substrates. Thus, the $p^+ - p^+$ structure MISFET, which is the best way for utilizing the distinctive characteristics of diamonds, was developed. Consequently, durable DC operation at 300 was established. In addition, RF operation over 10GHz was demonstrated for the first time ever as a diamond FET not using the hydrogenated conductive surface.

まえばき = ダイヤモンドの工業利用は高硬度を利用した工具向け応用が主であるが、ほう素添加により p 形半導体となるため、電子デバイス応用の研究がなされている。ダイヤモンドは、熱伝導率が銅の 5 倍、絶縁破壊電界やキャリア移動度も高いなど、他の半導体と比べて非常に優れた物性を有している。パワー FET (Field Effect Transistor, 電界効果トランジスタ) のスイッチングロスの低さを表すバリガ高周波指数¹⁾や周波数×パワー性能を表すジョンソン指数²⁾など、半導体材料のデバイス適性の指標はいずれも圧倒的に高い。たとえば、大電力のパワーデバイスや高周波デバイスに用いられれば、高温動作が可能、熱伝導率が高いなどの特長から冷却システムの簡略化やデバイスの高密度実装が可能となり、モジュールサイズを従来の数分の一に縮小可能である。表 1 に、各種半導体材料の物性値、代表的な性能指数、単純なデ

バイス構造とヒートシンクを仮定して算出した 1 チップ当たりで担えるエネルギー密度の上限を示した。なお、パワー上限の算出にあたっては、ゲート幅を 100 μm × 4 本、基板の厚さを 200 μm とした。また、デバイス内の局所温度上限を Si, GaAs は 100, その他は 200, 基板裏側は 50 に冷却されると仮定した。

しかしながらダイヤモンドは、現在のところシリコンなどと比べ高品質な大口径基板が無いこと、n 形ドーピングが難しいこと、デバイス動作が実証されていないほか、生産技術が確立されていないことなど課題が多い。

そこで、当社では早くから、大口径基板作製に必須のヘテロエピタキシャル (以降、ヘテロエピという) 成長技術に着目し研究開発を行ってきた。ヘテロエピ成長は、シリコンウェーハなどの単結晶基板上にその基板の結晶方位を受継いで異種材料を成長させるもので、結晶

表 1 各種半導体材料の物性値、性能指数と単素子当たりパワー上限

Table 1 Characteristics, figure of merits, and maximum power for unit device of semiconductors

Material	Diamond	SiC(4H)	GaN	GaAs	Si
Thermal conductivity (W/cm·K)	20	4.9	1.3	0.5	1.5
Max spot temp () (assumed)	200	200	200	100	100
Max power (W)	635	156	41	6	16
Max power density (kW/cm ²)	10585	2593	688	95	266
Saturation velocity, v_s (cm/s)	1.1E + 7	2.7E + 7	2.7E + 7	2.0E + 7	1.0E + 7
Breakdown field, E_c (V/cm)	1E + 7	3E + 6	2E + 6	4E + 5	3E + 5
Mobility, μ (cm ² /s)	1600	900	900	8600	1350
Permittivity,	5.7	9.6	9.5	12.9	11.7
Baliga's high frequency FOM, μE_c^2	1317	67	30	11	1
Johnson's FOM, $(E_c v_s /)^2$	1225	729	324	7	1

*技術開発本部 電子技術研究所

成長の平衡条件が容易に得られないダイヤモンドには適している。ダイヤモンド薄膜は、シリコン(100)面、白金(111)面、Ir(100)面、SiC(100)面などでエピタキシャル成長が可能であるが、特に、シリコンを使うことにより、基板コストだけでなく、電極形成やパシベーション膜形成、洗浄などにおいて従来の半導体プロセス(装置、方法)がそのまま利用できるメリットがある。

シリコン(100)面には、成長初期段階で適切なバイアス印加を行うことにより、 $\langle 100 \rangle$ 配向したダイヤモンド薄膜が成長する³⁾。しかしながら従来、結晶格子定数のミスマッチが原因で1個のダイヤモンド結晶が数 μm と小さいものしか得られず、粒界密度が高いためトランジスタを試作しても十分な特性が得られなかった。

2003年にその結晶サイズを飛躍的に大きくする方法を見出した⁴⁾。その後これを進歩させ、現在では平均100 μm を超えるヘテロエピ・ダイヤモンド膜を作製できるようになった。(以降、便宜上およそ50 μm 以上の粒径を「大粒径」、それ未満を「小粒径」と呼ぶ)また、粒径分布も25mm径基板内でほぼ均一にできるようになった。

粒径が50 μm 以上になれば、トランジスタの活性領域(実際に電流が流れる領域)を単一結晶上に作製することが可能になる。そこで、これを利用してトランジスタの動作特性が向上するのかどうかを実際に試作して確認することにした。これは同時に、ヘテロエピ・ダイヤモンド膜のデバイス基板としてのパフォーマンス評価としても効果的である。

本稿では、このようなヘテロエピ・ダイヤモンド基板を用いた高周波トランジスタの作製および評価について述べる。

1. 評価用デバイス構造の検討

ダイヤモンド基板にトランジスタを試作するにあたっては、 $p^+ - i - p^+$ 構造⁵⁾⁶⁾のMISFET(Metal-Insulator-Semiconductor FET, MIS型電界効果トランジスタ)を採用した。これは、高濃度にほう素ドーパした縮退 p 形(p^+)ダイヤモンドの間に、アンドープ(i はintrinsic semiconductorの意味)ダイヤモンドを挟んだ構造である。 $p^+ - i - p^+$ 構造により、ダイヤモンド特有のキャリア活性化率の低さ(0.1%)の問題を回避し、なおかつ不純物散乱によるチャネル移動度の低下もほとんどない。デバイスシミュレーションでは、ゲート長0.5 μm で遮断周波数(f_T)25GHz以上となり得ることを見出した⁶⁾。なお、ダイヤモンドのトランジスタとしては、ダイヤモンドを水素終端したときにできる p 形表面導電層を用いたFET⁷⁾が試作されており、最近では最大発振周波数(f_{max})は50GHzを超えている⁸⁾⁹⁾。しかしながら、水素終端表面が水分吸着や温度など環境に影響を受けやすいという問題がある。また、デバイス特性が基板の品質よりも表面状態でほとんど決まってしまうため、本構造のデバイスは、基板品質のベンチマークとして適当でないと判断した。

しかし実際に試作してみると、いくつかの課題が出て

きた。 $p^+ - i - p^+$ 構造の i 領域では真空管と同様に空間電荷制限電流が支配するため、理論的には i 領域の長さ、すなわち p^+ と p^+ 間の距離の3乗に反比例して導電性が低下する。したがって、 i 領域をできるだけ短く作らなければならない。そのため、イオン注入法とエッチング法を検討したが、前者は高ドーズ注入するとダイヤモンドがグラファイト化するため p^+ 領域が十分に低抵抗化できないこと、後者はエッチング形状に起因してゲート絶縁膜の絶縁耐圧が上がらないことなどの問題に突当たった。総合的に最も問題が少なかったのは選択成長法であった¹⁰⁾。選択成長法で作製した最も微細な $p^+ - p^+$ 間距離は、50nmである¹¹⁾。さらに、選択成長法に適したデバイス構造とプロセス方法、ゲート絶縁膜材料と成膜方法の最適化¹²⁾¹³⁾、小径基板での電子ビームリソグラフィの全層化など、本トランジスタの試作には専用のプロセス技術の開発が必要であった。

また、 i 領域の「 i 」は本来、不純物ゼロを意味しているが、現実にはダイヤモンド成長時に窒素が混入しやすい。デバイスシミュレーションを行った結果、混入した窒素を上回るだけの微量なほう素を添加することにより、 p^+ から i 領域へのキャリア(正孔)注入が起こりやすくなることがわかった。ただし、ほう素添加が多過ぎると不純物散乱の原因となる。このとき、 i 領域は「ほとんど」キャリアを生成していないという点で実質的に i の働きをしているが、厳密には p 形半導体である。したがって i に限りなく近い p 形という意味で「 i 」領域と表記する。

2. $p^+ - i - p^+$ 型 MISFET の作製方法

シリコン上ヘテロエピ・ダイヤモンドの作製方法の概要は次の通りである。(a)メタン、水素混合ガスを導入したマイクロ波プラズマ中で、(100)方位シリコンウェーハにバイアスを印加し、ダイヤモンドのエピタキシャル核を発生させる。(b)メタン混合比、基板温度を調整し $\langle 100 \rangle$ 方位優先成長させる。(c)同じくこれらと気圧を調整し粒径を拡大させる。(d)さらに調整し表面が(100)面で平坦かつ高品質な層を積層する。

ただし、このままでは成長ステップや小傾角粒界における段差が存在するため、機械研磨し平坦度を上げた。

次に $p^+ - i - p^+$ 型MISFETの作製プロセスを示す(図1)。(a)ダイヤモンド表面にレジストを塗布し電子線描画によりマスクを形成。(b)酸化アルミニウムを蒸着し、(c)リフトオフにてパターン形成。(d)これを選択成長用ハードマスクとし、高濃度ほう素ドーパ p 形(p^+)ダイヤモンドをマイクロ波プラズマCVDで形成。成長条件は、反応ガスは CH_4 (0.5vol%) + H_2 に B_2H_6 を50ppm添加し、基板温度800℃、膜厚25~50nmとした。この成膜条件によるダイヤモンド中のほう素濃度は、二次イオン質量分析(SIMS)により $2 \times 10^{20} \text{cm}^{-3}$ になることを確認している。(e)熱りん酸中でハードマスクの酸化アルミニウムを除去し、結果として p^+ ダイヤモンド間に狭ギャップが形成された。(f)領域形成のため、このギャップを覆うようにダイヤモンドを選択成長させた。

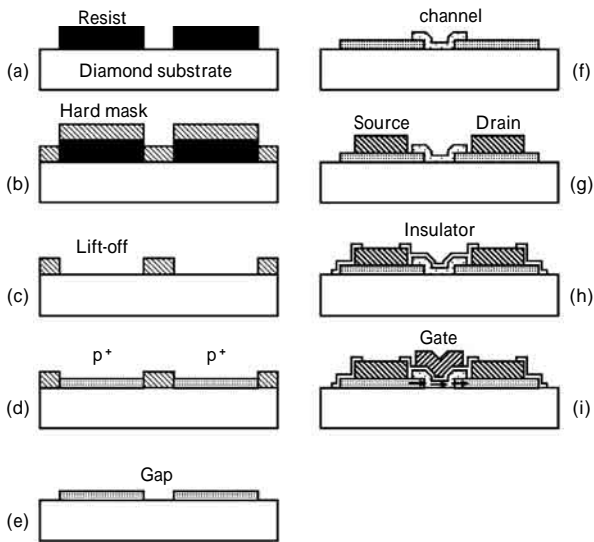


図1 p⁺-p⁺型 MISFET の作製プロセス
Fig. 1 Fabrication sequence of a p⁺-p⁺ MISFET

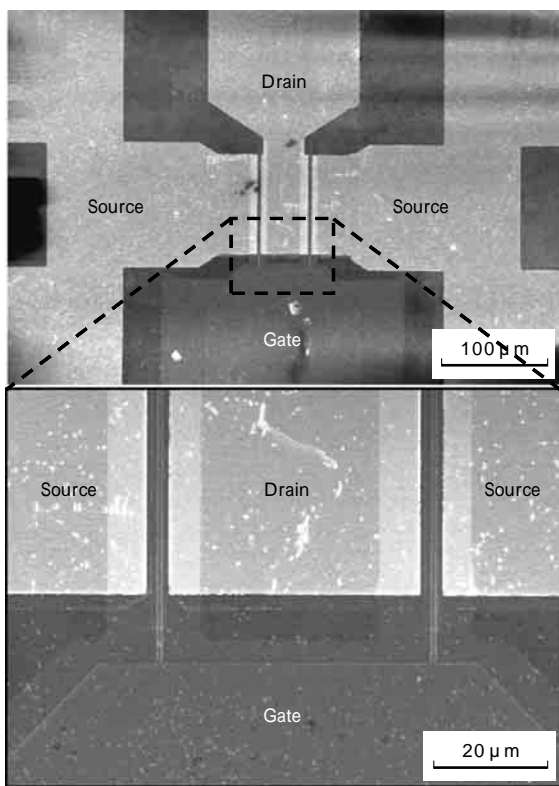


図2 p⁺-p⁺型 MISFET(表面)の走査電子顕微鏡写真
Fig. 2 Surface scanning electron micrograph of p⁺-p⁺ MISFET fabricated on heteroepitaxial diamond film

成長条件は、B₂H₆を添加しないこと以外はp⁺と同じである。ただし、p⁺と同じ反応容器を使用することにより反応容器内壁に吸着したほう素が自動的に極微量ドーピングされる。取込まれたほう素濃度は、SIMSにより $1 \times 10^{17} \text{cm}^{-3}$ 程度であった。膜厚は45~90nmとした。(g)p⁺領域に、白金を100nmの厚さにスパッタ成膜しリフトオフでオーミック電極を形成、ソースおよびドレイン電極とした。(h)ゲート絶縁膜として、トリメチルアルミニウムと水の蒸気を原料に原子層堆積法により酸化アルミニウムを厚さ35~50nm成膜し、りん酸によるエッチングでパターンを形成した。(i)ゲート電極とし

てアルミニウムを200nm蒸着しリフトオフでパターンを形成した。図2に作製したトランジスタ(表面)の走査電子顕微鏡写真を示す。

デバイスの静特性測定は、半導体パラメータアナライザを用い、高周波特性の測定にはネットワークアナライザを用いた。

3. 結果と考察

図3(a),(b)は、それぞれ小粒径、および大粒径のヘテロエピ・ダイヤモンド上にp⁺層を選択成長させた後(表面)の走査電子顕微鏡写真である。中心付近の縦線に見えところがp⁺間のギャップで、トランジスタ作製後はチャンネルになる。小粒径ではチャンネルに約20個の粒が存在するが、大粒径では本写真のように単一結晶上にチャンネルを形成できることがわかる。すなわち、トランジスタの活性領域(電流を流す部分)は、単結晶と同様、粒界の影響を受けない。

図4は、これらの上に作製したトランジスタのゲートバイアス(V_g)に対するドレイン電流(I_d)、および相互コンダクタンス(g_m)の特性の比較である。チャンネル長×幅は、いずれも0.2×40μm、ゲート電極長は1.0μm、ドレインバイアス(V_d)は-5Vにそろえた。室温において、小粒径(図4(a))では最大g_mは11μS/mmであるのに対し、大粒径(図4(b))は1.2mS/mmであり、約2けたの優れていることがわかる。なお、比較のため単結晶ダイヤモンド基板を用いた場合のg_mは9.1mS/mmとさらに1けたの優れていた。

測定温度を300 Kにしたときのg_mは、小粒径(図4(c))では0.8mS/mmと70倍増大し、大粒径(図4(d))では10mS/mmと8倍、単結晶基板(図示せず)では24.7mS/mmと2.7倍増大した。増大率がそれぞれ違うが、値は逆転していない。この増大特性は、ダイヤモンド膜中に存在するキャリアトラップは熱エネルギーにより補償されるが、単結晶基板、大粒径ヘテロエピ、小粒径ヘテロエピの順により多くのキャリアトラップが存在するとすれば納得できる。300 K以上は未測定であるが、少な

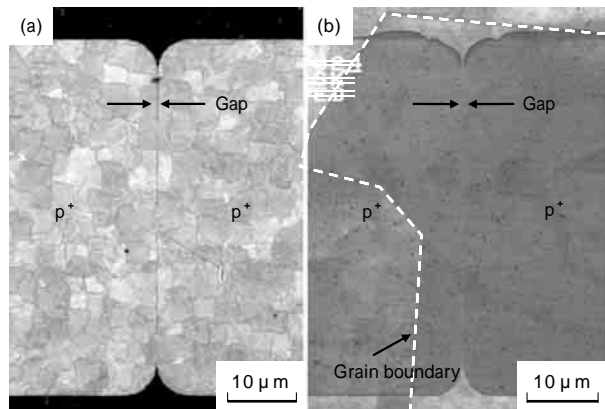


図3 p⁺層を選択成長させた、(a)小粒径および(b)大粒径のヘテロエピタキシャル・ダイヤモンド(表面)の走査電子顕微鏡写真
Fig. 3 Surface scanning electron micrograph of (a) small grain and (b) large grain heteroepitaxial diamond film, on which p⁺ layers were area-selectively grown

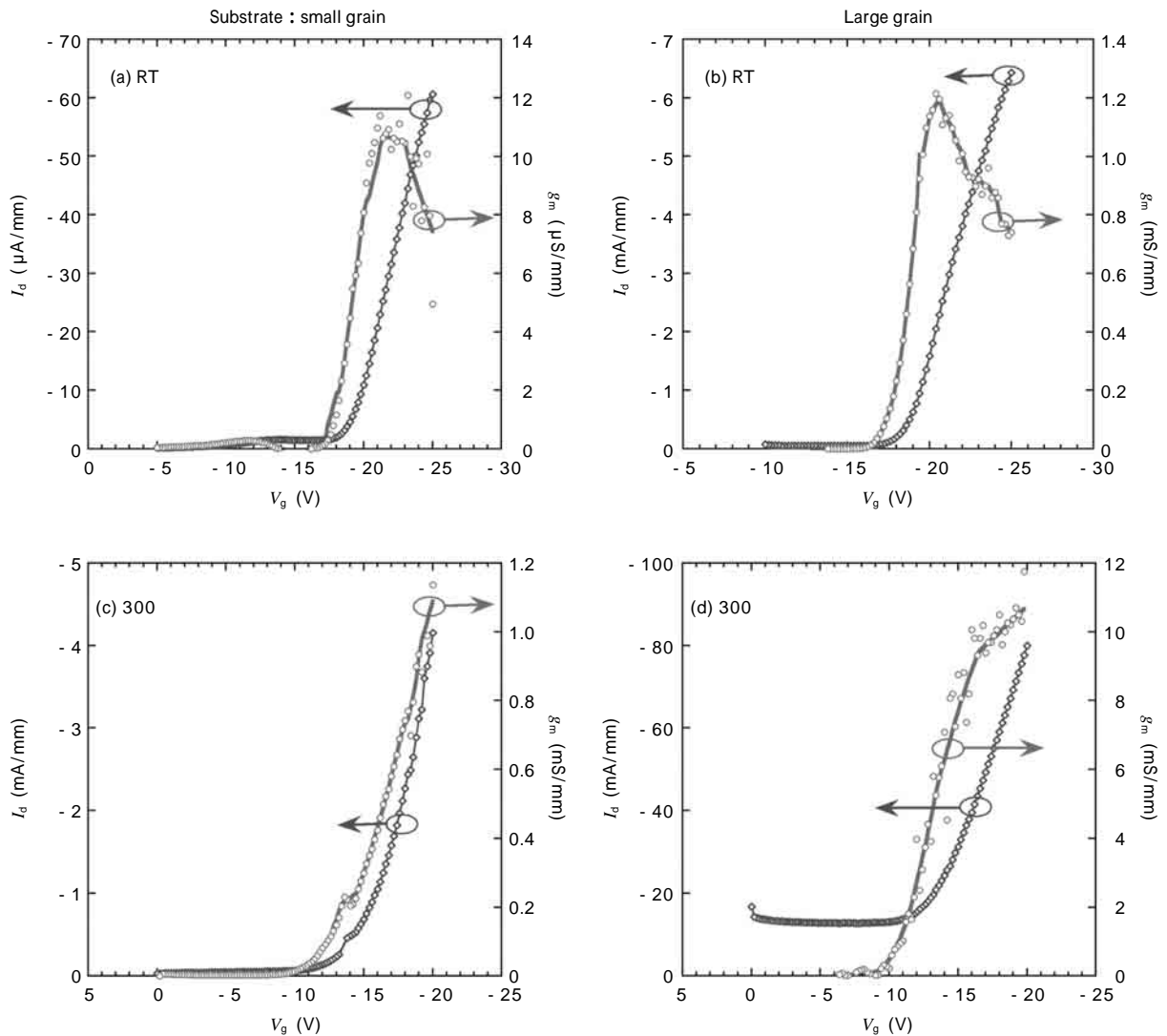


図4 ヘテロエピタキシャル・ダイヤモンド基板上に作製した $p^+ - p^+$ 型 MISFET の I_d-V_g および g_m-V_g 特性
 Fig. 4 I_d-V_g and g_m-V_g characteristics of $p^+ - p^+$ MISFETs fabricated on heteroepitaxial diamond substrates

くとも 300 という高温でも上記のように特性が劣化せず、むしろ特性が向上することが明らかになった。シリコンや GaAs などナローバンドギャップ半導体では、熱励起キャリアがオフ電流を増大させるため、温度上昇とともに相互コンダクタンスが低下していくのが一般的である。これに対し、ダイヤモンドではそうになっていない。これはワイドバンドギャップ半導体の特長であり、高温動作特性に優れることの現れである。

ところで、上記のように基板種によってキャリアトラップ(ある種の欠陥)密度に差があることは確かである。しかしながら、以下で述べるように、このキャリアトラップは高周波特性にほとんど影響が現れていない。理由は未解明であるが、恐らくトラップ時間が比較的長いためではないかと考えている。

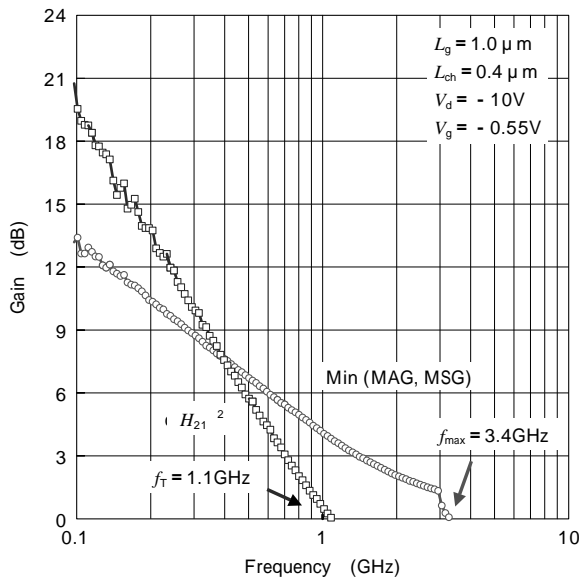
この時点で、チャンネル長 (L_{ch})、すなわち p^+ 領域間のギャップは最短 $0.2\mu m$ まで作り込んでいたが、ゲート電極長 (L_g) は $2\mu m$ で、 $1GHz$ 以上での動作確認には不十分であった。そこで次に、ゲート電極形成にも電子ビームリソグラフィを適用し、 L_g を $1\mu m$ に短縮した。

その結果、単結晶基板上で遮断周波数 (f_T) = $1.7GHz$ 、最大発信周波数 (f_{max}) = $1.8GHz$ 、ヘテロエピ基板上でも

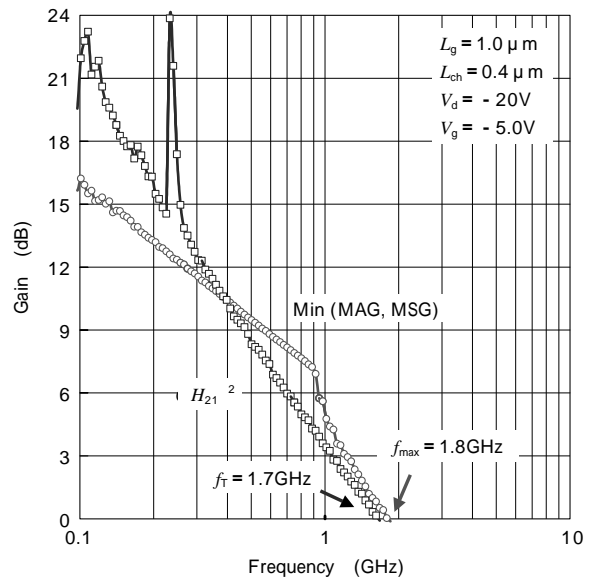
$f_T = 1.1GHz$ 、 $f_{max} = 3.4GHz$ (同種のグラフにはしていないが最高値は $4.0GHz$) が得られ、表面導電層を用いない(バルク伝導の)ダイヤモンドトランジスタでは世界で初めて $1GHz$ の大台を突破した(図5)。また、本ヘテロエピ・ダイヤモンド基板を用いれば、単結晶基板並の高周波特性を有するトランジスタを作製可能であることが示された。

さらに、 L_g を $0.5\mu m$ に短縮、ゲート絶縁膜の厚さを $50nm$ (図5の試料) から $35nm$ に薄くし、かつヘテロエピ基板表面近傍の結晶品質を向上させた結果、 g_m が $57.7mS/mm$ に著しく向上し、 $f_T = 15.8GHz$ (図6(a))、 $f_{max} = 19.0GHz$ (図6(b))に向上させることに成功した。

ところで図6(a)は $L_{ch} = 0.6\mu m$ のものであるが、同図(b)に示した $L_{ch} = 1.0\mu m$ のものより f_{max} は低い。すなわち、 L_{ch} の短縮は必ずしも高周波特性向上に有効になっていない。これは、おそらくチャンネルとゲート電極のアラインメント精度が十分でないことが一因で、ゲート電極がチャンネル上の最適な位置から外れているからと考えられる。これは、プロセス技術向上により解決可能と考えている。

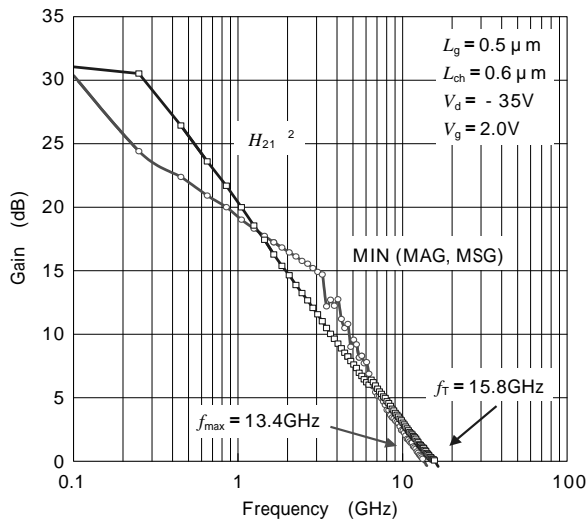


(a) Heteroepitaxial film substrate

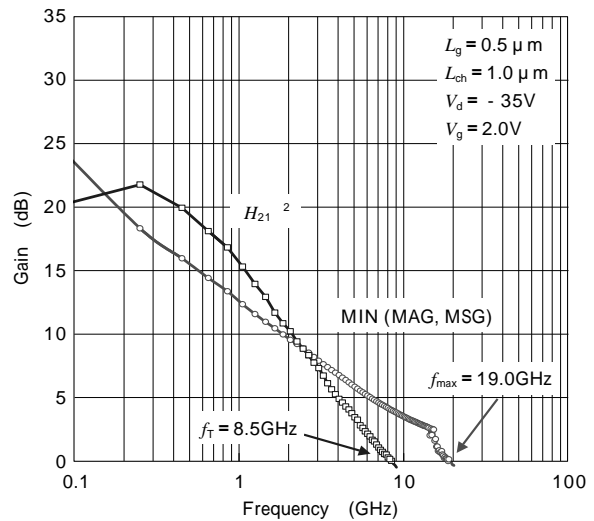


(b) Singlecrystalline bulk substrate

図5 動作周波数1GHzを初めて突破したp⁺-p⁺型MISFETの高周波利得特性
Fig. 5 First RF gain plots showing over 1GHz performances of p⁺-p⁺ MISFETs



(a) Channel length : 0.6 μm



(b) Channel length : 1.0 μm

図6 改善を加えたp⁺-p⁺型MISFETの高周波利得特性
Fig. 6 RF gain plots of improved p⁺-p⁺ MISFETs

むすびはシリコンウェーハを下地基板としたヘテロエピ・ダイヤモンド薄膜の粒径拡大を主とする高品質化を行い、その評価のためトランジスタを試作した。

その結果、高周波特性では単結晶基板と同等であることが明らかになり、ゲート長0.5μmのとき $f_{max} = 19.0\text{GHz}$ が得られた。高周波特性そのものはまだ市販のデバイスに比べ不十分ではあるが、さらなるゲート長の縮小によって大きく改善可能である。

基板については、最大200μmの大粒径ができてはいるが、粒界の位置はまだランダムである。デバイス用基板として実用するにはその規則配置が必須で、今後そのための技術確立に取り組む予定である。

なお、本研究の一部は、独立行政法人 新エネルギー・産業技術総合開発機構 (NEDO) ダイヤモンド極限機能プロジェクトにおいて行われた。また、高周波特性測定は早稲田大学理工学部川原田研究室で行っていただいた。ここに感謝の意を表します。

参考文献

- 1) B. J. Baliga : IEEE Electron Device Lett., 10 (1989) 455.
- 2) E. O. Johnson : RCA Rev., 26 (1965) 163.
- 3) B. R. Stoner et al. : Appl. Phys. Lett., 60 (1992) 698.
- 4) 横田嘉宏ほか : 第65回応用物理学学会学術講演会 (2004秋) 講演予稿集, p.508.
- 5) A. V. Denisenko et al. : Mater. Sci. Eng., B11 (1992) 273.
- 6) K. Miyata et al. : IEEE Trans. Electron Devices, 42 (1995) 2010.
- 7) H. Kawarada et al. : Jpn. J. Appl. Phys., 35 (1996) L1165.
- 8) A. Aleksov et al. : Diamond Relat. Mater., 13 (2004) 233.
- 9) K. Hiramata et al. : Jpn. J. Appl. Phys., 45 (2006) 5681.
- 10) N. Kawakami et al. : Diamond Relat. Mater., 13 (2004) 1939.
- 11) 川上信之ほか : 第51回応用物理学関係連合講演会 (2004春) 講演予稿集, p.640.
- 12) 横田嘉宏ほか : 第52回応用物理学関係連合講演会 (2005春) 講演予稿集, p.692.
- 13) 川上信之ほか : 第66回応用物理学学会学術講演会 (2005秋) 講演予稿集, p.503.