

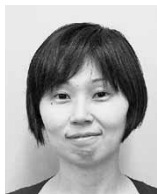
(論文)

PITS測定とデバイスシミュレーションによる酸化物半導体TFTの特性解析

TFT Characteristic Analysis by PITS Measurement and Device Simulation



田尾博昭*¹
Hiroaki TAO



日野 綾*¹ (博士(工学))
Dr. Aya HINO



高梨泰幸*¹
Yasuyuki TAKANASHI



林 和志*¹ (博士(工学))
Dr. Kazushi HAYASHI



釘宮敏洋*¹ (博士(工学))
Dr. Toshihiro KUGIMIYA

Amorphous oxide semiconductors (AOS) have been attracting attention as high mobility materials because of the demand for fast response in thin film transistors (TFTs) using flat panel display. Stability under stress is important for AOS-TFTs. This study discusses the ways in which the defect states in the channel region of amorphous In-Ga-Zn-O (a-IGZO) TFTs influence their stress stability. The results of analysis carried out by photoinduced transient spectroscopy (PITS) measurement and device simulation suggested that the increase in shallow defect states in a-IGZO was a possible cause of the appearance of the hump shape in the I_d-V_g characteristics of a-IGZO TFTs.

まえがき = 近年、液晶や有機ELを用いるフラットパネルディスプレイ (flat pannel display, 以下FPDという) は、テレビやスマートフォン、タブレットPCなど、それぞれのアプリケーションにおいて高精細化が進み、現在では、家庭用テレビでは4Kと呼ばれる高精細TV、スマートフォンでは500ppiを超える高精細な表示画面が実現し始めている^{1), 2)}。

これに伴い、ディスプレイを駆動する回路 (バックプレーン) に用いられる半導体素子である薄膜トランジスタ (thin film transistor, 以下TFTという) には、高速応答性、すなわち半導体特性としての高移動度が要求されるようになった。

これまでTFTを形成する半導体薄膜材料には、主に大面積テレビ向けには、(電界効果) 移動度が $0.5\text{cm}^2/(\text{V}\cdot\text{s})$ 程度²⁾と低いもののコストが安いアモルファスシリコン (amorphous silicon, 以下a-Siという) 薄膜が、スマートフォン向けには $100\text{cm}^2/(\text{V}\cdot\text{s})$ 以上の高い移動度²⁾をもつ低温多結晶シリコン (low temperature poly silicon, 以下LTPSという) 薄膜が使われてきた。それに対して、2004年に野村らが見出したアモルファス酸化物半導体薄膜のamorphous-In-Ga-Zn-O₄ (以下、a-IGZOという) 薄膜³⁾は、スパッタリング法により大面積に成膜が可能であることや、移動度が $10\text{cm}^2/(\text{V}\cdot\text{s})$ 程度であり、a-Si薄膜の20倍以上の高移動度が比較的容易に得られることがわかっている。また、a-IGZO薄膜を用いたTFT (以下、a-IGZO-TFTという) においてリーク電流をa-SiやLTPSよりも数桁小さく抑えることができるため^{2), 4)}、FPDの低消費電力化が可能であること、などの実用上の利点が明らかになり、すでに一部のFPD製造メーカーによって製造が開始されている^{2), 5)}。

当社のグループ会社である(株)コベルコ科研では、これまでFPD向けの金属配線材料用スパッタリングターゲットを展開してきたが、近年、IGZOターゲットをはじめとするTFT向けアモルファス酸化物半導体ターゲットの開発に着手し、当社において材料開発を行っている。

ところで、酸化物半導体においては、その多元性に起因する組成のずれ、あるいはアモルファスに起因する構造の揺らぎにより、膜中に電気的な欠陥が導入される。また、その欠陥が製造プロセスに依存するとともに、そのうちのいくつかはTFTの特性に影響を与えることが知られている。例えば、パネル製品に組み込まれたa-IGZO-TFTは、使用中にさらされる光や待機中の印加電圧によってストレスを受けて特性劣化する⁶⁾ことが実用上の問題となっている。信頼性が悪化する原因ははまだ解明されていないが、TFTの特性は半導体薄膜 (チャネル領域) の電子状態に起因するため、ストレスによる特性劣化もチャネル領域の電子状態の変化に起因すると考えられる。したがって、酸化物半導体の開発を行うにあたり、半導体薄膜中の電子状態の把握、そのTFT特性への影響の明確化による材料制御、および製造プロセスがその電子状態に与える影響についての知見に基づく提案が必須となる。

本稿では、TFTの信頼性に関わるチャネル領域における電子状態の評価方法としてPITS (photoinduced transient spectroscopy)⁷⁾法が有効なことを実験的に示す。さらに、PITS法により観測した電子状態の変化とTFT信頼性の関係を、2次元デバイスシミュレータを用いて考察した結果を報告する。

*¹ 技術開発本部 電子技術研究所

1. TFTの信頼性とチャンネル領域に対する電子状態評価

FPD製造ではa-IGZO-TFTの信頼性確保が重要な課題となっている。そうしたなか、液晶ディスプレイの通電時の大部分を占める待機状態TFTに負のゲート電圧が印加されるとともに、バックライトの迷光による光照射を連続的に受ける状態を模擬する加速試験であるLight negative bias temperature stress（以下、LNBTSという）試験が最も重要視されている。LNBTSによるa-IGZO-TFT特性が変化する要因として、酸化物半導体に接する絶縁膜⁸⁾やその界面⁹⁾でのホールトラップ、酸化物半導体薄膜中の伝導帯下部浅い準位の増加^{10)~13)}など様々な理由が報告されているが、いまだ十分に明らかにされていない。

本稿では、酸化物半導体薄膜中の伝導帯下部の欠陥に着目し、その変化をPITS法により調査した。従来、半導体薄膜の電子状態の評価は、薄膜自体の物理分析、または電気特性評価によって行われてきた^{14)~17)}。しかしながらTFTでは、ソースおよびドレイン形成などの半導体薄膜形成後の製造工程により、ソース・ドレイン電極間のチャンネル領域の電子状態が変化してTFT特性に影響を与えるため⁶⁾、従来のMetal-Oxide-Semiconductor (MOS) ダイオード構造などを用いた特性評価だけではTFT特性との相関を獲得するには不十分である。そこで当社は、他の手法では困難であったチャンネル領域の電子状態評価をPITS法を用いることによって可能にした¹⁸⁾。

PITS法は、半導体中の欠陥準位の評価に一般的に用いられるDeep level transient spectroscopy (DLTS)法¹⁹⁾より発展し、もともと空乏層変化の生じない高抵抗な半絶縁膜GaAsの評価に用いられた手法である⁷⁾。光により励起された電流の減衰過渡応答が、欠陥準位に捕獲されたキャリアの放出時定数に対応して変化する。そのため、定電圧印加状態の半導体に対して、パルス光照射後一定時間の電流変化の温度依存性を測定することで、測定信号に欠陥準位に対応するピークが観測される。

次章以降では、PITS法をTFTに適用し、LNBTS試験前後のa-IGZO-TFTの電子状態を直接評価した結果を示す。さらに、LNBTS前後のa-IGZO-TFTの電子状態の変化がTFT特性に与える影響を2次元デバイスシミュレーションを用いて考察した結果を示す。

2. 実験方法

2.1 TFTの製造プロセス

評価に用いたa-IGZO-TFTの製造プロセスとそのプロセスに対応する断面構造を図1に示す。まず、ガラス基板上にゲート電極として100nmのMoをDCマグネトロンスパッタリングにより形成した。その上に、ゲート絶縁膜となる250nmのSiO₂をPlasma-enhanced chemical vapor deposition (PECVD)により成膜した。さらに、チャンネル層となる厚さ40nmのa-IGZOをガス圧13Pa、O₂/Ar流量比4%の条件で成膜し、ウェットエッチングにより

パターンニングを行った。その後、大気雰囲気にて300℃で1時間の熱処理を行った。その後、後工程の電極エッチングからチャンネル層表面を保護するためにエッチストップ層 (Etch stop layer : ESL) と呼ばれるSiO₂を100nm形成した。次いで、Moを100nm成膜し、ウェットエッチングによりソース・ドレイン電極を形成した。続いて、TFT全体を保護するパッシベーション層としてSiO₂、SiN_xをそれぞれ100nm、150nm成膜した。最後にドライエッチングによりパッシベーション層にコンタクトホールを形成し、三つの電極それぞれにプローブをコンタクトできるようにした。同一の作製条件で熱処理を実施していないTFTも比較のために作製した。

2.2 測定条件

作製したa-IGZO-TFTに対してI_d-V_g特性評価とPITS

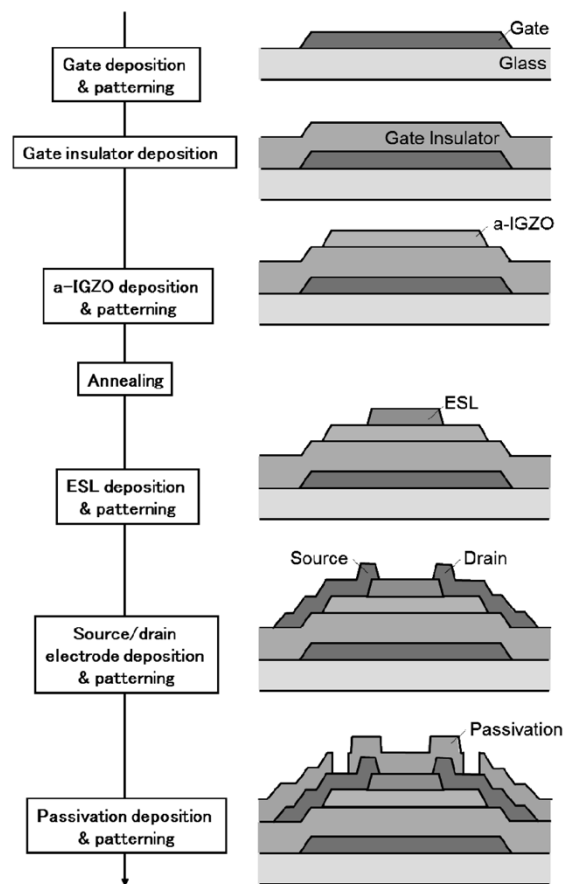


図1 TFT製造フローとTFTの断面構造
Fig. 1 Fabrication flow and cross-sectional schematics of TFTs

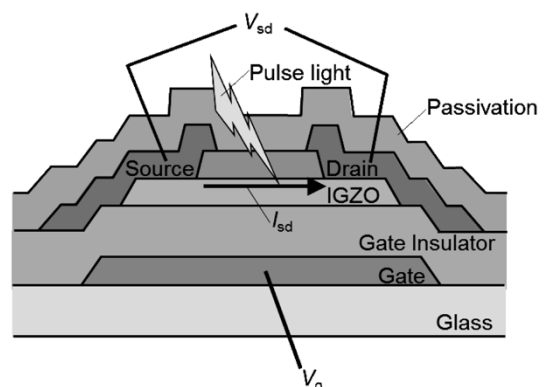


図2 TFTに対するPITS測定の設定概略
Fig. 2 Setup of PITS measurements for TFT evaluation

測定を実施した。 I_d - V_g 特性はLNBTS試験の前後に行い、両者の比較を行った。LNBTS試験の光源には白色LEDを用いた。ステージ加熱によりTFTを60℃に加熱した状態でゲート電極へ-20Vの負バイアスを2時間印加した。

図2にa-IGZO-TFTに対するPITS測定系の概略を示す。PITS測定には波長375nmの光源を使用し、パルス幅100msでTFTのチャネル部に照射した。TFTを78Kまで冷却後、ゲート電圧をソース・ドレイン電流が 10^{-9} Aとなるように印加した。その後、2 K/minの昇温速度で400Kの温度まで上昇させながら測定を行った。

3. 結果と考察

3.1 測定結果

図3に(a)熱処理なし、および(b)300℃の熱処理を行ったa-IGZO-TFTに対するPITS測定結果を示す。いずれもLNBTS試験前の結果である。どちらのTFTにおいても100K、140K、170K付近の低温域にピークが観察される。これらのピークは以前に報告したPITS測定結果¹⁸⁾を再現しており、チャネル領域に存在する欠陥に起因するものと考えられる。一方、200K以上の高温域では、どちらのTFTのスペクトルからもブロードなピークが得られた。このブロードなピークは以前の評価¹⁸⁾では見られない。以前の評価で用いた素子は今回のTFTと同一の製造プロセスで作製したものである。しかし、ソース・ドレイン電極間距離の長い素子であり、今回のTFTと比較するとチャネル端部の影響が測定されにくい構造であると考えられる。したがって、今回の

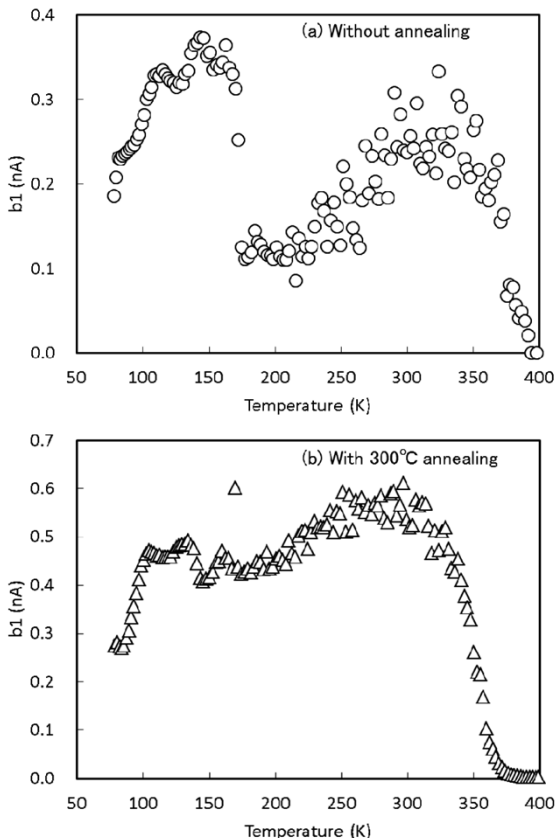


図3 LNBTS試験前TFTのPITSスペクトル
Fig. 3 PITS spectra of TFTs before LNBTS test

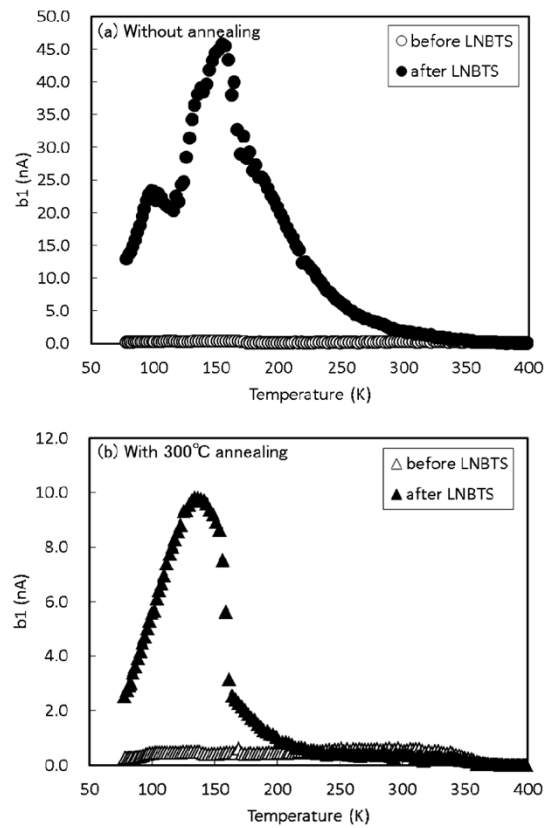


図4 LNBTS試験前後のTFTのPITSスペクトル
Fig. 4 PITS spectra of TFTs before and after LNBTS test

測定において見られた200K以上の高温域でのブロードなピークは、チャネル端部のダメージによる欠陥の発生などのTFTのプロセスや構造に由来する可能性がある。

つぎに、図4に、(a)熱処理なし、および(b)300℃の熱処理を行ったa-IGZO-TFTに対するLNBTS試験後のPITS測定結果を先のLNBTS試験前の結果とともに示す。LNBTS試験後は、どちらのTFTもスペクトル形状が大きく変化している。とくに、100Kから200Kの低温域に現れていた浅い準位のピークの強度がLNBTS試験前の10倍以上となった。また、熱処理なしのTFTの方がその変化は大きくなっている。PITSスペクトルに現れるピークは、基本的には対応する伝導帯からのエネルギー位置での欠陥密度に関する。したがって本結果は、熱処理を行っていないTFTの方が、LNBTS試験後に浅い準位が高密度に形成されている可能性があることを意味する。

図5に、(a)熱処理なし、および(b)300℃の熱処理を行ったa-IGZO-TFTのLNBTS試験前後の I_d - V_g 特性を示す。どちらのTFTもLNBTS試験後の I_d - V_g 特性は、 10^{-6} Aから低電流側の特性がマイナス側に変化する、いわゆるハンブと呼ばれるこぶ状特性を示している。LNBTS試験前後での 10^{-9} Aにおけるゲート電圧の差(しきい値電圧差)は、熱処理なしのTFTでは7.75V、熱処理を300℃で行ったTFTでは2.50Vであり、熱処理なしのTFTの方がハンブによりLNBTS前後でしきい値電圧差が大きくなっている。

3.2 デバイスシミュレーションによる解析

前節で述べた二つのTFTでのLNBTS前後のしきい値

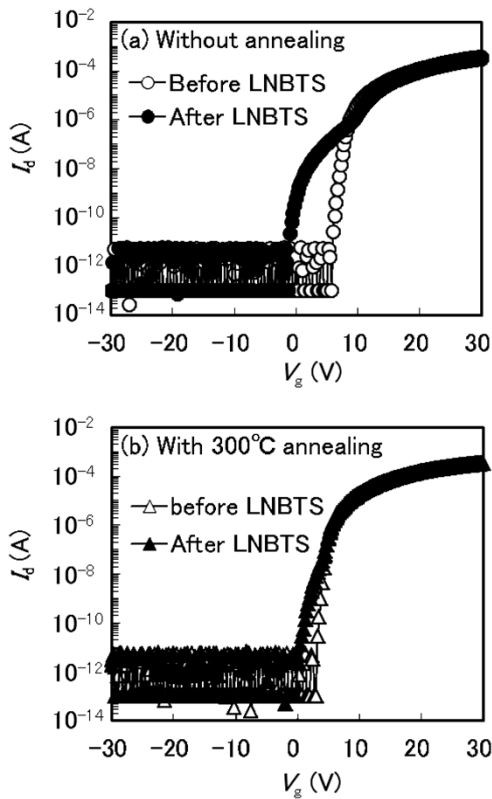


図5 LNBTS試験前後のTFTの I_d - V_g 特性

Fig. 5 Comparison of I_d - V_g characteristics of TFTs before and after LNBS test

電圧差を考察するため、PITS測定の結果を考慮し、伝導帯下部の浅い準位に着目した2次元デバイスシミュレーションを実施した。

シミュレーションソフトウェアには「ATLAS」を用いた。ATLASは有限要素法による電気特性解析ソフトであり、TFT構造を三角形要素を用いてメッシュ分割(モデル化)し、各要素でポアソン方程式、キャリア(電子、正孔)連続の式、ボルツマンの輸送方程式を解くことでTFTの電気特性を計算する。具体的には、与えられた初期のキャリア分布、電圧印加状態を基にポアソン方程式からポテンシャル分布を求め、得られたポテンシャル分布を基にボルツマン方程式、および連続の式を解くことでキャリア分布を計算する。こうして得られたキャリア分布を用いて再度ポテンシャル分布の計算を行い、キャリア分布が変化しなくなるまで計算を繰り返す自己無撞(どう)着計算によりTFT中のキャリア分布、電流密度分布を求め、各種電気特性を算出する。

一般に、アモルファス半導体の場合には、キャリアの放出・捕獲源となる半導体のバンドギャップ内に存在する欠陥準位は、ドナータイプおよびアクセプタタイプの2種類あり、伝導帯端、価電子帯端から深くなるにつれて減衰する裾(すそ)状準位が存在する。

モデル計算においては、ドナーおよびアクセプタの局在準位をガウス分布関数で記述し、裾状準位は指数関数で記述した²⁰⁾。

$$g_{TA}(E) = N_{TA} \exp\left(\frac{E - E_C}{E_{TA}}\right) \dots\dots\dots (1)$$

$$g_{TD}(E) = N_{TD} \exp\left(\frac{E_V - E}{E_{TD}}\right) \dots\dots\dots (2)$$

$$g_{GA}(E) = N_{GA} \exp\left[-\left(\frac{E_{GA} - E}{W_{GA}}\right)^2\right] \dots\dots\dots (3)$$

$$g_{GD}(E) = N_{GD} \exp\left[-\left(\frac{E - E_{GD}}{W_{GD}}\right)^2\right] \dots\dots\dots (4)$$

ここで、 E_c 、 E_v はそれぞれ伝導帯、価電子帯のエネルギー位置である。 N_{TA} は伝導帯端部でのアクセプタタイプの欠陥準位の密度、 N_{TD} は価電子帯端部でのドナータイプの欠陥準位の密度、 E_{TA} 、 E_{TD} は、それぞれアクセプタタイプ、ドナータイプの裾準位の減衰長(密度が $1/e$ になるエネルギー幅)を示している。 E_{GA} 、 E_{GD} は局在準位のエネルギー位置、 N_{GA} 、 N_{GD} はそれぞれアクセプタタイプ、ドナータイプ局在準位の欠陥密度のピーク値、 W_{GA} 、 W_{GD} は局在準位の半値幅である。

本解析では、Fungらの報告²¹⁾および藤井らの報告²²⁾を参考に上記の式(1)~(4)で表されるギャップ内準位を用いてa-IGZOのバンドギャップ中の状態密度(density of state, 以下DOSという)を図6のように設定した。伝導帯下部の浅い準位は伝導帯下部0.1~0.3eVに存在することが報告されており^{15), 17)}、その密度を $10^{16} \text{cm}^{-3} \cdot \text{eV}^{-1}$ オーダーと見積もっている¹⁷⁾。このことから、LNBTS試験前の浅い準位の深さ、密度を表1に

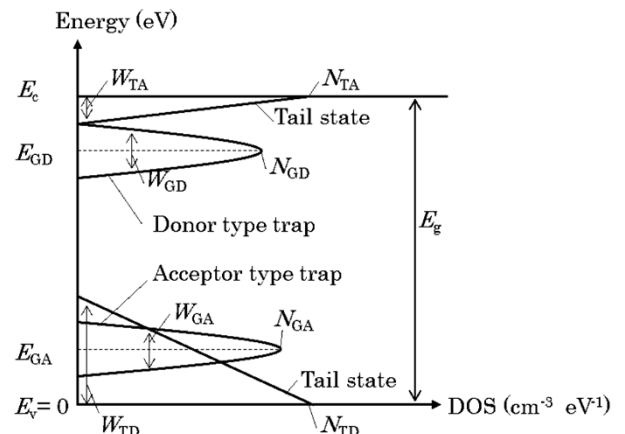


図6 デバイスシミュレーションに用いるa-IGZOのDOS
Fig. 6 DOS of a-IGZO for device simulation

表1 a-IGZOのデバイスシミュレーションに用いたパラメータ
Table 1 Parameters of a-IGZO used for device simulation

Calculation Condition	A	B	C
Electron affinity: ϕ	4.16	4.16	4.16
Permittivity: ϵ	10	10	10
Band gap: E_g (eV)	3.05	3.05	3.05
Effective conduction band DOS: N_c (cm^{-3})	5.0×10^{18}	5.0×10^{18}	5.0×10^{18}
Effective valence band DOS: N_v (cm^{-3})	5.0×10^{18}	5.0×10^{18}	5.0×10^{18}
Peak of Gaussian state acceptor trap density: N_{GA} ($\text{cm}^{-3} \cdot \text{eV}^{-1}$)	1.5×10^{17}	1.5×10^{17}	1.5×10^{17}
Peak of Gaussian state donor trap density: N_{GD} ($\text{cm}^{-3} \cdot \text{eV}^{-1}$)	6.5×10^{16}	1.0×10^{17}	3.0×10^{17}
Half band width of Gaussian state donor trap density: W_{GD} (eV)	0.1	0.1	0.2
Half band width of Gaussian state acceptor trap density: W_{GA} (eV)	0.3	0.3	0.3
Energy of N_{GA} : E_{GA} (eV)	0.35	0.35	0.35
Energy of N_{GD} : E_{GD} (eV)	2.85	2.8	2.75
Density of tail state at E_c : N_{TA} ($\text{cm}^{-3} \cdot \text{eV}^{-1}$)	1.55×10^{20}	1.55×10^{20}	1.55×10^{20}
Density of tail state at E_v : N_{TD} ($\text{cm}^{-3} \cdot \text{eV}^{-1}$)	1.55×10^{20}	1.55×10^{20}	1.55×10^{20}
Decay energy for the tail distribution of acceptor-like states: W_{TA} (eV)	0.013	0.013	0.013
Decay energy for the tail distribution of donor-like states: W_{TD} (eV)	0.12	0.12	0.12
electron mobility: μ_e ($\text{cm}^2/(\text{V} \cdot \text{s})$)	15	15	15
hole mobility: μ_h ($\text{cm}^2/(\text{V} \cdot \text{s})$)	0.1	0.1	0.1
Conduction band effective mass: m_e	0.34	0.34	0.34

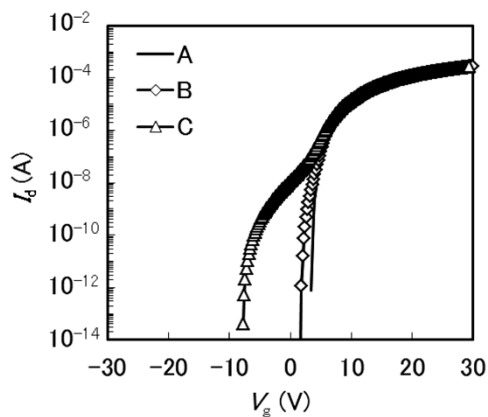


図7 デバイスシミュレーションで求めた I_d - V_g 特性

Fig. 7 Results of I_d - V_g characteristics obtained by device simulation

示す条件Aのように設定した。それに対して、LNBTS試験後の二つのTFTに対するPITS測定において、そのピーク高さが数倍異なること、および熱処理なしのTFTにおいて複数のピークが存在してブロードなピークとなっていることを考慮して、条件B, Cのようにドナータイプ欠陥の深さ、幅、密度を変化させた。シミュレーションに用いたその他のDOSのパラメータ、および物理量を表1にあわせて示す。

図7に、条件A, B, Cでのデバイスシミュレーションによる I_d - V_g 特性の計算結果を示す。条件Aでは I_d - V_g 特性にハンプは現れていないが、条件B, Cの I_d - V_g 特性にはハンプが現れている。また、欠陥準位の密度を高密度に仮定した条件Cの方がハンプによるしきい値電圧の変化が大きくなっている。このように、伝導帯下部に存在するドナータイプ欠陥の増加により、図5に示すLNBTS試験前後での実測 I_d - V_g 特性と同様にハンプが発生することがわかった。したがって、LNBTS試験前後のPITS測定で得られた伝導帯下部に存在するドナータイプ欠陥準位の増加がTFTの I_d - V_g 特性にハンプが現れた要因であると考えられる。この結果は、LNBTS試験によるa-IGZO薄膜中での伝導帯下部の浅い準位の増加がTFTの I_d - V_g 特性変化の原因であるとの説^{(10)~(13)}を支持するものである。

むすび = 本稿では、半導体薄膜の電子状態の評価が可能なPITS法をTFTに適用し、a-IGZO-TFTのチャンネル内の電子状態の直接評価を試みた。その結果、これまでの報告と同様に伝導帯下部の浅い準位に対応する100K~200Kの低温域のピークと200K以上の温度域におけるブロードなピークの存在を観測し、素子形状に起因する新たな欠陥の発生を示唆する結果を得た。

また、LNBTS試験後のTFTを直接測定することにより、伝導帯下の浅い準位が増加していることを明らかにした。この浅い準位の変化を考慮してデバイスシミュレーションを実施することでPITS法で観測された浅い準位の増加がTFTの I_d - V_g 特性にハンプを発生させる可能性があることがわかった。

その一方で、LNBTS後のTFTでPITSスペクトルに現れた浅い準位の起源について、また、欠陥準位存在位置が膜中あるいは界面であるかによってハンプに影響を与えるかどうかなどについては明確になっていないため、今後明らかにしていく必要がある。

さらに、LNBTS印加前の測定で現れる複数のピークの起源や、これらの準位がTFT特性にどのような影響を与えるのかについても明確にする必要がある。

欠陥準位の深さや密度の評価については今後、詳細なPITS解析を進めていく。さらに、PITS法をはじめとする種々分析による電子状態の詳細評価を進めることでa-IGZO薄膜の電子状態のモデルを構築し、プロセスが酸化薄膜の電子状態に与える影響と得られるTFT特性との関係を明らかにしていく。

本稿で述べたように、酸化半導体のデバイス構造に直接適用可能な分析解析技術を開発・高度化することで、FPD製造におけるプロセス設計指針を材料開発と並行して得られるようになり、a-IGZOをはじめとするアモルファス酸化半導体のFPD分野への利用拡大に寄与すると考えている。

参考文献

- 1) 木村裕之ほか. 月刊ディスプレイ. 2013, Vol.19, No.1, p.42-47.
- 2) 松尾拓哉. シャープ技報. 2012, Vol.104, p.13-17.
- 3) K. Nomura et al. Nature. 2004, Vol.432, p.488-492.
- 4) 神谷利夫ほか. 月刊ディスプレイ. 2013, Vol.19, No.10, p.1-8.
- 5) H. Oh et al. SID 2013 Digest. Canada, 2013-5-21/24, 2013, p.239-242.
- 6) J. K. Jeong et al. Applied Physics Letters. 2008, Vol.93, No.12, 123508.
- 7) Ch. Hurtes et al. Applied Physics Letters. 1978, Vol.32, p.821.
- 8) K. H. Lee et al. Applied Physics Letters. 2009, Vol.95, No.23, 232106.
- 9) W. T. Chen et al. Electrochemical and Solid-State Letters. 2011, Vol.14, No.7, p.H297.
- 10) C. H. Oh et al. Applied Physics Letters. 2010, Vol.97, No.18, 183502.
- 11) K. M. Yu et al. Japanese Journal of Applied Physics. 2012, Vol.51, No.9, 09MF11.
- 12) Y. Kim et al. IEEE Transactions on Electron Devices. 2012, Vol.59, No.10, p.2699-2706.
- 13) H. J. Kim et al. Journal of Physics D: Applied Physics. 2013, Vol.46, No.5, 055104.
- 14) K. Nomura et al. Applied Physics Letters. 2008, Vol.92, No.20, 202117.
- 15) M. Kimura et al. Applied Physics Letters. 2008, Vol.92, No.13, 133512.
- 16) Y. Ueoka et al. Material Research Society Symposium Proceeding. 2012-12-25/30, 2012, p.1436.
- 17) K. Hayashi et al. MRS Proceedings. 2014, Vol.1633, p.55-60.
- 18) A. Hino et al. Journal of Vacuum Science and Technology B. 2014, Vol.32, No.3, 031210.
- 19) D. V. Lang. Journal of Applied Physics. 1974, Vol.45, No.8, p.3023.
- 20) ATLAS User's Manual Device Simulation software. Silvaco, Inc., 2014, p.798-799.
- 21) T. C. Fung et al. Journal of Applied Physics, 2009, Vol.106, No.8, 084511.
- 22) M. Fujii et al. Japanese Journal of Applied Physics. 2009, Vol.48, No.13, 04C091.