

(技術資料)

# BCE型TFT対応酸化物半導体材料

## Amorphous Oxide Semiconductor Adopting Back-channel-etch Type Thin-film Transistor



森田晋也\*1  
Shinya MORITA



越智元隆\*1  
Mototaka OCHI



釘宮敏洋\*1 (工博)  
Dr. Toshihiro KUGIMIYA

Kobe Steel has developed a new amorphous oxide semiconducting material available for the back-channel-etch (BCE) type thin-film transistor (TFT) adapting mass production of flat panel displays. The material has high chemical resistivity for the conventional etchant of Mo/Al source and drain interconnection. We showed that good electrical characteristics and high reliability in BCE-TFT can be obtained by means of the additional annealing process to recover back channel damage on the oxide semiconductor thin film.

まえがき = 液晶や有機ELディスプレイなどのフラットパネルディスプレイ (FPD) は、近年、画面の大型化、高速駆動化、4kあるいは8kディスプレイにみられる高精細化などの高性能化が進んでおり、画像素子を駆動するためのスイッチング素子である薄膜トランジスタ (TFT: Thin Film Transistor) の高速駆動、および大電流化が求められている。これに伴い、TFTの心臓部である半導体薄膜には電子移動度の高い半導体材料が必要とされる。

IGZO (In-Ga-Zn-O)<sup>1)</sup> に代表されるアモルファス酸化物半導体材料<sup>2), 3)</sup> は、電子の動きやすさに対応する電子移動度が従来の材料の10倍以上高く、大面積基板への成膜に対応していることから、次世代ディスプレイ向け半導体材料として注目されている。しかしながら一方で、酸化物半導体は外部環境に敏感であり、量産化においてTFT製造プロセスの安定した制御が重要である。

そこで当社は、生産性向上の観点から、IGZOと同等の電気的性能を持ちつつ、化学的安定性を高めた新しい酸化物半導体材料KOS-B02を開発した。本稿では、量産に適したBCE (Back Channel Etch) 型TFTに当材料を適用し、製造プロセスを最適化することで良好な電気的特性と高い信頼性が得られたので報告する。

### 1. FPD向け酸化物半導体材料の課題

TFT素子は、液晶や有機ELディスプレイの画素表示の切り替えを行うスイッチング素子であり、100万個を超える多くのTFTが使用されている。液晶ディスプレイの場合、ドレイン電極が液晶分子に電圧を供給する画素電極と接続され、ソースとドレイン電極間の電流を制御する重要な部分が半導体薄膜である。

これまで半導体薄膜材料には水素化アモルファスシリ

コンa-Si:Hが使用されてきたが、ディスプレイの大型化、高速駆動化、高精細化といった性能向上に伴い、よりキャリア移動度 (以下、移動度という) の高い材料が求められている。a-Si:Hは、次世代の4kあるいは8kディスプレイ、有機ELディスプレイ用途として移動度が不十分であり、さらに移動度の高い半導体材料が必要である。

表1はディスプレイ向け各種半導体材料の特徴を示しており、ハイスpek用にはa-Si:Hより移動度の高い低温多結晶シリコンやアモルファス酸化物半導体材料が使用されている<sup>4)</sup>。低温多結晶シリコン (LTPS) が最も高い移動度を有しているが、結晶化にはレーザーアニールが必要なため、大面積化が難しいことや製造コストが高いことが問題である。一方で、酸化物半導体はスパッタリング法による大面積成膜が容易であり、TFTの製造プロセスが従来のa-Si:Hを使用したプロセスに近いことから生産性にも優れている。また、酸化物半導体はリーク電流が少ないため低消費電力化にも優位であり、スマートフォン用ディスプレイへの用途にも適している。このように、酸化物半導体は高い性能を持つが、普及においては歩留りや生産性向上が課題となっている。

表1 フラットパネルディスプレイに使用される半導体材料  
Table 1 Semiconductor materials used in flat panel display

|                               | a-Si:H    | LTPS                     | Oxide                |
|-------------------------------|-----------|--------------------------|----------------------|
| material                      | Si        | Si                       | IGZO, ZnO, ZTO, etc. |
| mobility(cm <sup>2</sup> /Vs) | 1<        | 50-100                   | 1-30                 |
| TFT uniformity                | Good      | Poor                     | Good                 |
| TFT reliability               | Poor      | Good                     | Good                 |
| Process temperature           | 150-350°C | 250-550°C                | RT-400°C             |
| Substrate                     | LCD       | LCD<br>OLED (small size) | LCD, OLED, E-paper   |

\*1 技術開発本部 電子技術研究所

## 2. TFTの構造と製造プロセス

TFTの製造コスト低減においては、構造を単純化して工程数を削減することが重要である。ゲート電極が基板側に位置する代表的な2種類のTFT素子構造を図1に示す。図1(a)のEtch Stop型(ES型)は、半導体薄膜表面がエッチストップ層によって保護されていることから信頼性が高い。一方、図1(b)のBCE型は、エッチストップ層がないためフォトパターニング工程がES型より少なく、製造コスト面で有利である<sup>5)</sup>。また、従来のa-Si:H-TFTの製造プロセスを踏襲している点から、BCE型を採用するメーカーが多い。低コスト化のほか、Channel長(図中のL)を短縮しやすくTFTの小型化に優位であることや、信号の遅延を引き起こす寄生容量が小さいメリットが挙げられる。

一方、半導体薄膜表面(バックチャネル)に欠陥やコンタミが生じやすく、高度なプロセス制御が必要である。ソース・ドレイン電極をパターニングする際に、酸などのエッチング液に半導体薄膜がさらされてしまうことから、半導体薄膜の膜減りも問題となる。このような場合、エッチングのダメージによってTFT特性や信頼性が低下する、あるいはTFT素子そのものが作製できないといった問題が生じる<sup>6), 7)</sup>。

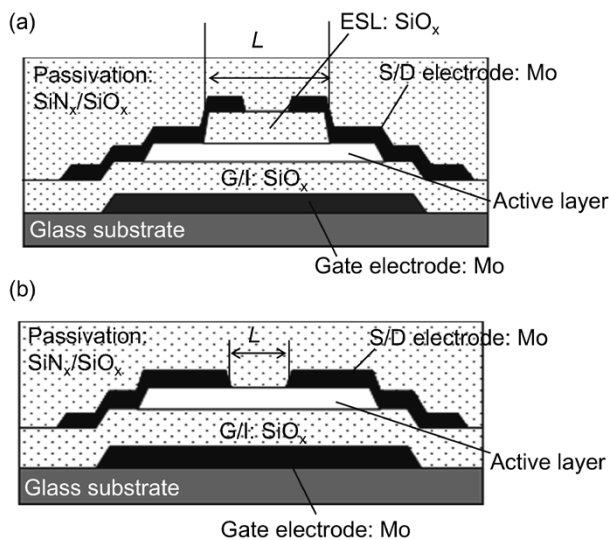


図1 TFTの構造 (a) ES型, (b) BCE型  
Fig.1 Schematic of (a) ES-type, and (b) BCE-type TFTs

## 3. BCE型TFTに対応した新規酸化物半導体材料

量産コストの低いBCE型TFT製造プロセスに適合するためには、酸化物半導体薄膜の酸エッチング液に対する耐性を高める必要がある。そこで当社は、酸化物半導体の構成成分を見直し、IGZO並みの電気的特性と高い耐酸性が両立する材料開発を行った。

IGZOの構成元素のInは電気伝導性の向上、Gaは酸素欠陥の抑制、Znはアモルファス構造安定化の効果があるといわれている<sup>8)</sup>。これらに加えて、電気的特性と耐酸性を両立する新たな元素の添加を検討した。

一般に、半導体不純物元素を添加するとキャリアの散乱が発生し、電子移動度は低下する。図2はIGZOにさ

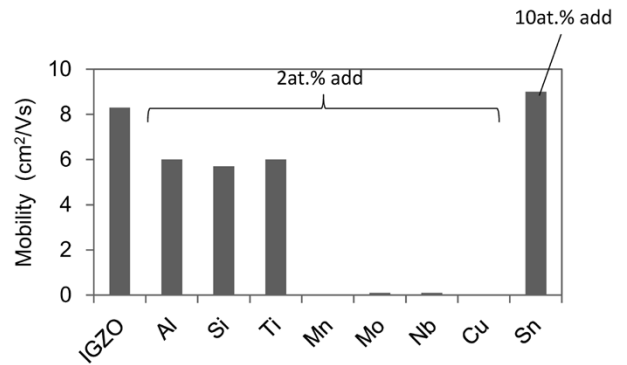


図2 不純物を添加したIGZO-TFTの電界効果移動度  
Fig.2 Field effective mobility of IGZO-TFT with additional element

まざまな元素を添加してTFTを作製し、電界効果移動度を調べた結果であり、添加量による差はあるが多くの元素で移動度は低下する。一方、Snの場合は10at.%近く添加しても移動度が低下せず、IGZO薄膜の電気的特性が劣化しないことがわかる。SnはInと同じくイオン半径が大きく導電性酸化物になる元素であることから、電子の散乱が少ないためと考えられる。また、SnO<sub>2</sub>は酸に不溶で化学的耐性が高く、耐酸性向上に有効である。

そこで、IGZOに添加する第5の元素としてSnを選択し、電界効果移動度と信頼性、耐酸性が両立するようIn, Ga, Zn, Snの成分を最適化し、BCE型TFTの製造プロセスに適合した新規アモルファス酸化物半導体KOS-B02を開発した<sup>5), 6)</sup>。開発成分においても十分に高密度、高品質のスパッタリングターゲットが作製可能であることを確認し、(株)コベルコ科研にて製造された試験用スパッタリングターゲットを用いて、次章に記載するTFT試作と薄膜評価を行った。

## 4. 新開発酸化物半導体薄膜の特性

### 4.1 基本特性比較

新規に開発したKOS-B02薄膜の物性(キャリア密度、ホール移動度、バンドギャップ)とスパッタリングレート、酸エッチング液に対するエッチングレートをIGZOと比較して表2に示す。キャリア密度は $1.0 \times 10^{16}/\text{cm}^3$ と標準的な酸化物半導体のキャリア密度であり、ホール移動度、バンドギャップもIGZOと近い値である。また、スパッタレートはIGZOより20%近く高く、生産性にも優れる。

酸エッチング液に対するエッチングレートは、ソース・ドレイン電極の加工に一般的に使用されるPANエッチング液(りん酸、硝酸、酢酸の混合酸)を用いて測定した。ソース・ドレイン電極に使用されるMo薄膜のエッチングレートが83Å/sであるのに対し、a-IGZO薄膜はその1/4程度である。一般にTFTに使用される半導体薄膜の膜厚は40nm程度と、ソース・ドレイン電極の300~500nmと比較して薄く、TFT作製時のソース・ドレイン電極加工工程において半導体薄膜が大きく削られてしまう懸念がある。一方、KOS-B02薄膜はPANエッチング液に浸漬しても膜厚の減少はみられず、溶解しないことがわかった。したがって、TFT製造プロセス

においても半導体薄膜の膜減りがほとんどなく、製造コストの低いBCE型TFTへ適用可能であることを示している。

#### 4.2 BCE型TFTの試作評価

ディスプレイに使用されるTFTの特性は、半導体薄膜単体だけでなく、TFTの製造プロセスに強く影響を受ける。実際のTFTにおける性能を確認するために、一般的なBCE型TFTのプロセスを用いてKOS-B02を使用したTFTを作製し、評価を行った。

図3に、今回試作したBCE型TFTの作製プロセスを示す。TFTはガラス基板上に成膜したMo薄膜をゲート電極とし、さらにゲート絶縁膜SiO<sub>x</sub>をプラズマCVD法で堆積した(図3(a))。その上に酸化物半導体(IGZOまたはKOS-B02)薄膜をマグネトロンDCスパッタリング法で40nm成膜・パターニングし、その後に膜質向上を目的に大気中350℃で1時間熱処理を行った(図3(b))。その後、ソース・ドレイン電極(Mo薄膜)を成膜し、PANエッチング液を用いたウェットエッチング法により加工形成した(図3(c, d))。

TFT素子を保護するための保護絶縁膜としてSiO<sub>x</sub>とSiN<sub>x</sub>膜を順次製膜(図3(e))し、最後に特性向上のための熱処理を実施し、完成(図3(f))とした。

#### 4.3 TFTの静特性

作製したTFTサンプルのドレイン電極端部における断面写真を図4に示す。図4(a)はIGZOを使用しており、電極から遠くなるに従って膜厚が減少している。半導体膜に厚さの分布があることから電界分布が生じ、TFTのスイッチング特性に悪影響を及ぼす可能性がある。一方、KOS-B02を用いた場合(図4(b))は、酸化物半導体薄膜の厚さの減少はなく、エッチング液によって半導体薄膜がほとんど削られていない。

表2 IGZOとKOS-B02薄膜の特性比較  
Table 2 Comparison of IGZO and KOS-B02 thin film

|  | IGZO                 | KOS-B02              |
|--|----------------------|----------------------|
| Carrier concentration (1/cm <sup>3</sup> ) | 4.0×10 <sup>16</sup> | 1.0×10 <sup>16</sup> |
| Hall mobility (cm <sup>2</sup> /Vs)        | 11.6                 | 15.1                 |
| Photonic band gap (eV)                     | 3.15                 | 3.08                 |
| deposition rate ratio (IGZO : 1)           | 1                    | 1.19                 |
| Etching rate for PAN (Å / sec)             | 20                   | 0                    |

作製したTFTのスイッチング特性( $I_d-V_g$ 特性)を図5に示す。ドレイン電圧を10V, ゲート電極に-30~30Vを印加してドレイン電流を測定した。ドレイン電流はゲート電圧が0V付近を超えると増加を始め、OFFからONの状態にスイッチしている様子がみられる。KOS-B02はドレイン電流の立ち上がりが急峻で良好な特性

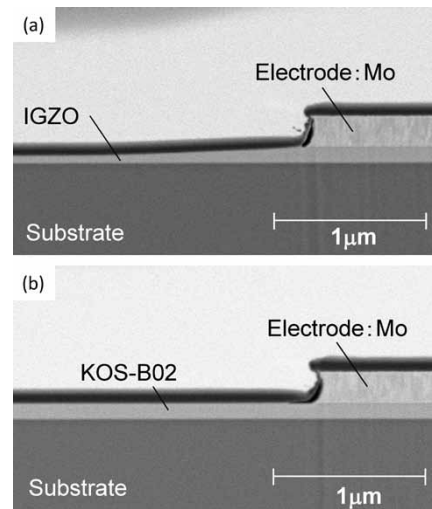


図4 電極加工後の断面SEM写真  
(a) Mo/IGZO積層膜, (b) Mo/KOS-B02積層膜  
Fig. 4 Cross section SEM image of (a) Mo/IGZO and (b) Mo/KOS-B02 stacked film

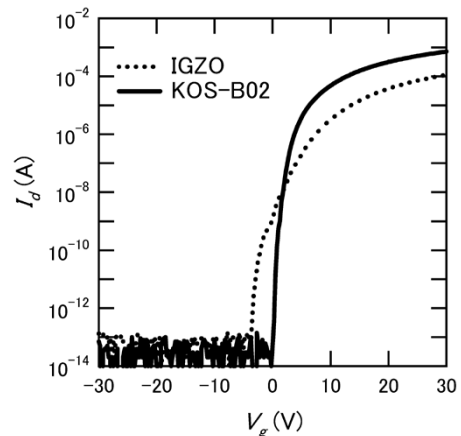


図5 IGZOおよびKOS-B02を使用したBCE型TFTの $I_d-V_g$ 特性  
Fig. 5  $I_d-V_g$  characteristics of BCE-TFT using IGZO and KOS-B02 thin film

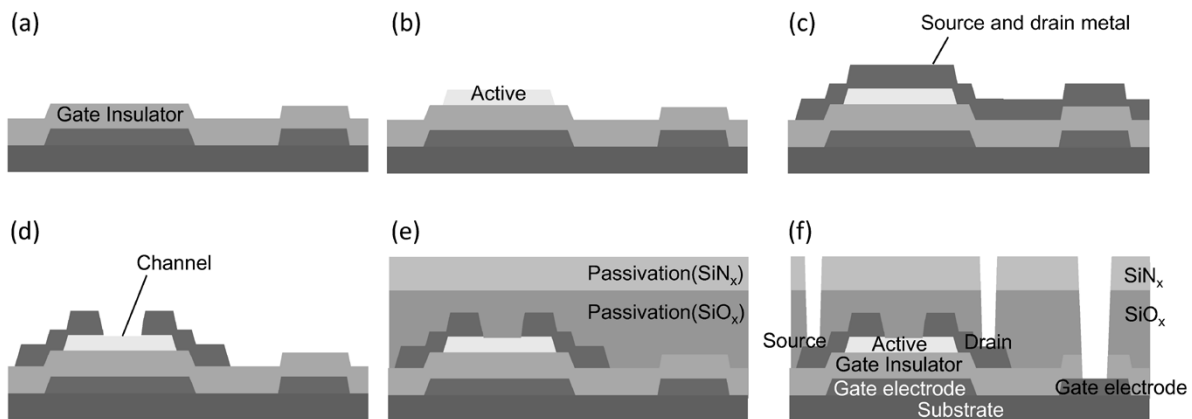


図3 BCE型TFTの作製フロー図  
Fig. 3 Process flow of BCE-TFT

が得られているのに対し、IGZOは立ち上がりが緩やかでドレイン電流も低い。図5のスイッチング特性をもとに、飽和領域における電流-電圧特性 ( $I_d-V_g$ 特性) の計算式

$$I_d = \frac{\mu_{FE}WC_i}{2L}(V_g - V_{th})^2$$

$W$ : チャネル幅  $C_i$ : ゲート絶縁膜容量

$L$ : チャネル長  $V_{th}$ : TFTのしきい値電圧

から電界効果移動度  $\mu_{FE}$  を算出した結果、IGZO, KOS-B02でそれぞれ  $5.4\text{cm}^2/\text{Vs}$ ,  $7.9\text{cm}^2/\text{Vs}$  と後者の方が移動度は高い。また、ドレイン電流の立ち上がりの急峻さを示す  $S$  値 (電流を1桁増加させるのに必要なゲート電圧の最小値) はそれぞれ  $0.84\text{V/decade}$ ,  $0.22\text{V/decade}$  とKOS-B02の方が優れている。材料間で特性差が生じた原因は、前述のようにソース・ドレイン電極加工時の半導体薄膜のエッチングにあるものと考えられる。IGZOは膜厚が減少したことから、スイッチング特性が劣化したものと推測される。一方、KOS-B02はバックチャネル表面がエッチング液のダメージにさらされているものの、優れたスイッチング特性が得られている。

#### 4.4 TFTの信頼性

TFTはディスプレイ駆動時にさまざまな外的要因(ストレス)を受けるが、半導体薄膜や界面に存在する欠陥が多いと、TFTのしきい値電圧がシフトするなどの特性変化が生じる<sup>9)</sup>。これらは色むらや点灯不良の原因となることから、加速試験を実施してTFT特性の変動を確認した。

図6(a)~(c)にそれぞれ、正バイアス(PBTS)、負バイアス(NBTS)および光+負バイアス(LNBTS)ストレスにおけるTFT特性の測定結果を示す。測定条件は表3に記載している。測定は、ストレスを一定時間印加した後、任意のタイミング(開始から300, 1,000, 3,600, 7,200s)で行っている。TFTのゲート電極にバイ

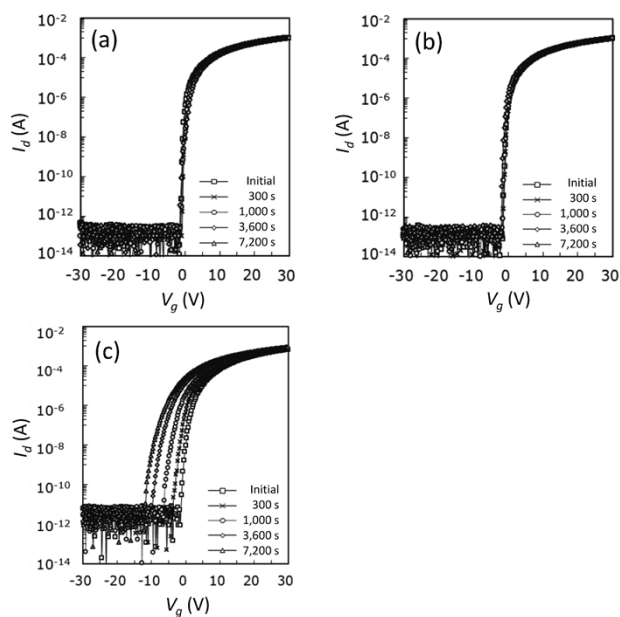


図6 KOS-B02を用いたBCE型TFTの信頼性評価結果  
Fig. 6 Stress test results of BCE-TFT using KOS-B02 thin film  
(a) PBTS, (b) NBTS, (c) LNBTS

表3 TFTのストレス試験条件  
Table 3 Stress test conditions of TFT

|       | Vg (V) | Vs (V) | Vd (V) | T(°C) | Light                   | Time(s) |
|-------|--------|--------|--------|-------|-------------------------|---------|
| PBTS  | 20     | 0      | 0.1    | 60    | -                       | 0~7,200 |
| NBTS  | -20    | 0      | 10     | 60    | -                       | 0~7,200 |
| LNBTS | -20    | 0      | 10     | 60    | White LED<br>25,000 nit | 0~7,200 |

アスを印加すると、半導体薄膜中や界面に電子や正孔がトラップされ、しきい値電圧が正または負方向にシフトする。図6(a), (b)より、PBTSおよびNBTSにおいてはスイッチング特性がほとんど変化せず、ストレスに対して非常に安定であることがわかる。

しかしながら、LNBTSではしきい値電圧が時間とともに負側へシフトし、2時間で9.8V動いていることがわかる。LNBTSは液晶ディスプレイにおいて最も重要なストレス試験であり、目安として2時間で2~3V以内に抑えるのがよいとされていることから、図6(c)の特性では液晶ディスプレイの駆動に使うことは難しいと考えられる。

LNBTSのしきい値電圧シフトは、光によって新たに電子-正孔対が発生し、正孔や電子が半導体薄膜中または界面にトラップされることが原因といわれている。半導体薄膜中に多数の欠陥準位が存在すると光によって正孔が発生し、正孔がトラップされ固定電荷が生じることが原因でしきい値電圧シフトが起こりやすくなる<sup>10,11)</sup>。KOS-B02はES型TFTで作製するとLNBTSによる劣化はみられないことから、バックチャネルダメージがLNBTSによる劣化の原因と考えられる。

## 5. BCE型TFTの製造プロセス改善

### 5.1 酸化物半導体薄膜表面の解析

エッチング液によってKOS-B02薄膜表面がどのように変質しているか調べるために、X線光電子分光法(XPS)を行った。

図7は、KOS-B02薄膜のO1sスペクトルの深さ方向分布を示す。深さ方向の測定は薄膜表面をスパッタリングしながら行っている。図7(a)はエッチング液浸漬なしの試料であり、O1sのピーク位置は最表面、内部ともに531.0eVと変わらない。一方、PANエッチング液に浸漬した試料は、図7(b)にみられるように内部がピーク位置531.0eVに対し、表面は531.8eVと高エネルギー側へシフトしている。O1sピークのエネルギーは酸素の結合状態に依存し、酸素欠損がなし、ありの状態それぞれ530.5eV, 532.5eVの値をとる<sup>12)</sup>ことから、エッチング液の浸漬によって薄膜表面の酸素欠損が増加しているものと考えられる。このような酸素欠損が光ストレスによる劣化の原因であると考えられる。

### 5.2 表面ダメージの回復処理

良好なTFT特性を得るためには、エッチング液浸漬によって発生した表面ダメージを回復することが重要である。そこでBCE型TFTの製造工程において、表面酸素欠損を回復させるために酸化雰囲気(大気中)における追加熱処理の実施を新たに検討した。熱処理の工程

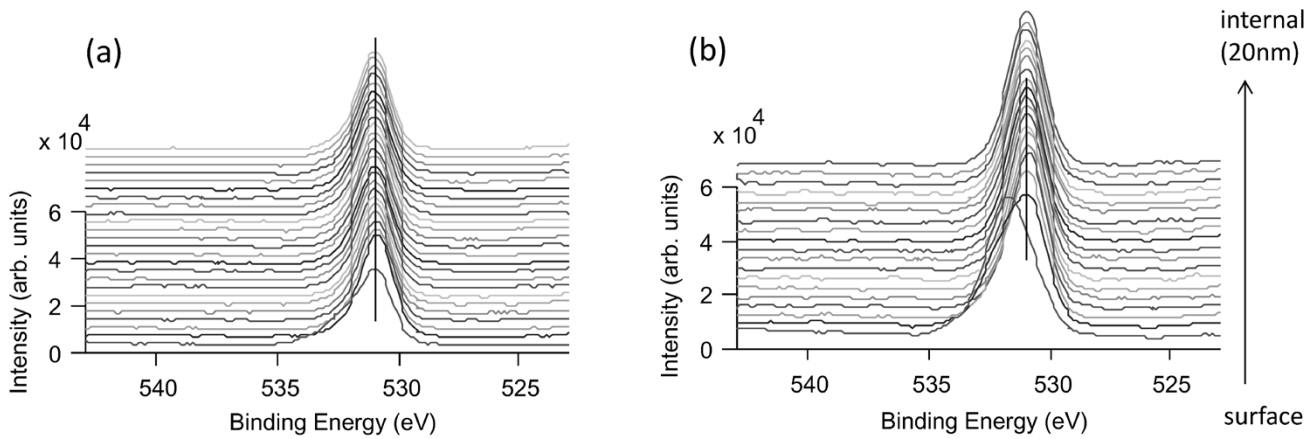


図7 KOS-B02薄膜におけるO1sスペクトルの深さ方向分布 (a) エッチング液浸漬なし, (b) エッチング液浸漬あり  
 Fig. 7 Depth profile of O1s spectrum in KOS-B02 thin film ; (a) without dip in etchant, (b) with dip in etchant

は、むき出しの状態で行くと電極が酸化して膜はがれやTFT特性の劣化が生じる恐れがある。このため、前述したプロセスに加えて保護膜SiO<sub>x</sub>の成膜後に熱処理を行うこととした。

追加熱処理の温度とKOS-B02薄膜の比抵抗の関係を図8に示す。試料はTFTと同じ積層構造とし、比抵抗はvan der Pauw法<sup>13)</sup>により測定した。KOS-B02薄膜本来の比抵抗は10kΩcm程度であるが、PANエッチング液浸漬により10Ωcmまで低下する。一方、SiO<sub>x</sub>保護膜成膜後に追加熱処理を行うと比抵抗は上昇して400℃で最大になり、さらに高温では低下する。エッチング液に浸漬しない本来のKOS-S02薄膜の比抵抗に近くなる300℃が最も膜質が安定していると考えられることから、熱処理温度を300℃とした。

### 5.3 回復熱処理の効果検証

保護SiO<sub>x</sub>薄膜成膜後の追加熱処理を300℃で行ったBCE型TFTを作製し、LNBTSにおける信頼性を評価した。図9から、ストレスを印加した0~7,200sの間、しきい値電圧の変化はほとんどみられず、図6(c)に示したような追加熱処理なしのTFTとは大きく異なり、高い信頼性を示していることがわかる。LNBTSの信頼性は酸化物半導体薄膜中の酸素欠損に強く依存することから、前述したようにダメージを受けた酸化物半導体薄膜表面が熱処理によって修復され、その結果信頼性が向上したものと推察される。

### 5.4 回復熱処理の欠陥修復メカニズム

熱処理前後の酸化物半導体薄膜の状態を調べるために、TFT素子と同構造、同一基板上で作製した素子におけるO<sup>-</sup>、OH<sup>-</sup>イオンの深さ方向分布を、SIMS (Secondary Ion Mass Spectroscopy) 分析を用いて調べた (図10(a), (b))。図10の(a), (b) いずれも、深さ350~400nm付近の強度が高くなっている部分が酸化物半導体薄膜にあたる。熱処理前後を比較すると、O<sup>-</sup>イオンは熱処理による変化がほとんどないが、OH<sup>-</sup>イオンは半導体薄膜中の分布に差異がある。熱処理によって表面側のOH<sup>-</sup>が増加し、OH<sup>-</sup>イオンの分布が均一になっている。OH<sup>-</sup>イオンは金属元素周囲に生じる酸素欠損を終端する働きがあると考えられ<sup>14)</sup>、欠陥の多い半導体薄膜表面が熱処

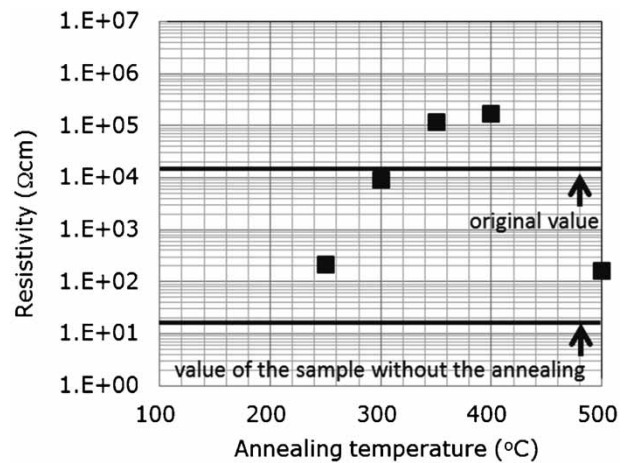


図8 KOS-B02薄膜比抵抗の熱処理温度依存性  
 Fig. 8 Relationship between annealing temperature and electric resistivity of KOS-B02 thin film

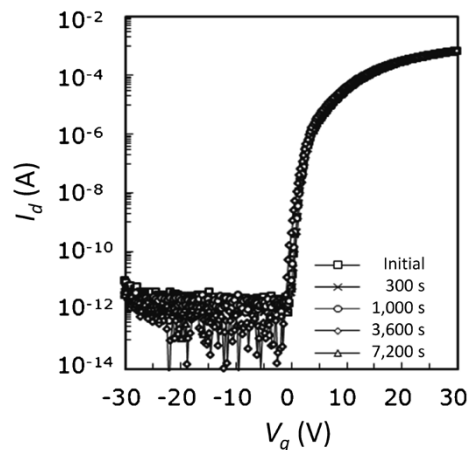


図9 回復プロセスによるBCE-TFTのLNBTS試験結果  
 Fig. 9 Results of LNBTS for BCE-TFT using additional annealing

理で酸化されるとともに、OH<sup>-</sup>イオンによって保護されていることを示唆している。このように追加熱処理の実施により、BCE型TFT作製時に生じるバックチャネルの欠陥を酸化やOH<sup>-</sup>終端によって回復し、信頼性の高いTFTの作製を実現できる。以上より、KOS-B02を使用することによって低製造コスト化に優位なBCE型TFTに適用可能で、高い電気的特性および信頼性を持つTFTが製造可能であることを示した。

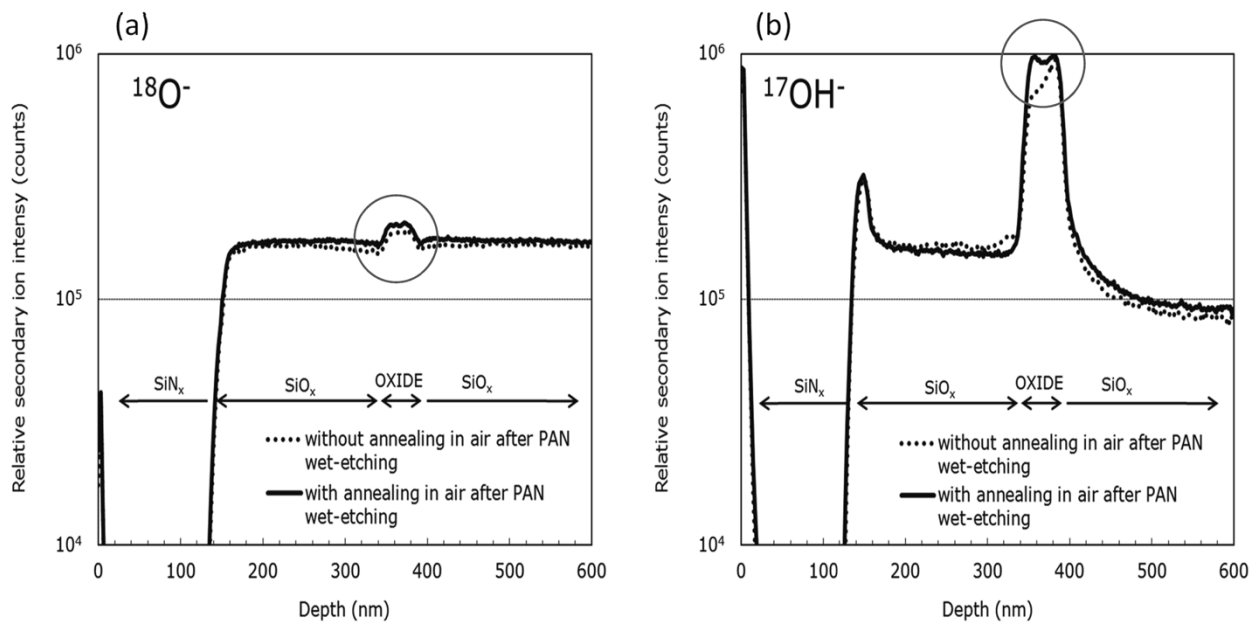


図10 BCE型TFTのSIMS分析結果  
 Fig.10 10 Depth profile of (a) O ion and (b) OH ion of BCE-TFT

むすび = 生産性と高移動度を両立するFPD用酸化物半導体材料を開発し、以下に示す特性を確認した。

- ①IGZOをベースに材料成分を見直すことによって、ソース・ドレイン電極の加工に使用されるPANエッチング液に対してほとんど溶解しない高い化学的安定性を持つ酸化物半導体材料を開発した。これによって、製造コストが低く量産に適したBCE型TFTへの適用を可能とし、FPDの製造コスト低減につながる。
- ②BCE型TFTにKOS-B02を使用する上で、バックチャネルダメージを回復させる熱処理プロセスを適用することで、優れた電気的特性と信頼性の両立を可能とした。

#### 参考文献

- 1) K. Nomura et al. Nature. 2004, Vol.432, p.488.
- 2) J. I. Song et al. Appl. Phys. Lett. 2007, Vol.90, p022106.
- 3) P. Gorm et al. Appl. Phys. Lett. 2007, Vol.90, p063502.
- 4) J. K. Jeong. 2nd Oxide TFT Workshop. 2007.
- 5) S. H. Ryu et al. ECS Solid. State. Lett. 2012, Vol.1, Q17.
- 6) S. Morita et al. Proc. IDW'12. 2012, p883.
- 7) M. Ochi et al. Proc. IDW'13. 2013, p371.
- 8) 神谷利夫ほか. オプトロニクス. 2004, 274巻, p128.
- 9) J. Song et al. SID 2013. DIGESTS, p93.
- 10) K. H. Ji et al. Appl. Phys. Lett. 2011, Vol.98, p103509.
- 11) Y. Kim et al. IEEE. Tra. Ele. Dev. 2012, Vol.59, No.10.
- 12) G. H. Kim et al. Phys. Status. Solid A. 2007, vol.207, p1677.
- 13) 庄野克房. 半導体技術 - 上. 東京大学出版会, 1980, p100-108.
- 14) Y. S. Lim et al. Appl. Phys. Lett. 2013, Vol.102, p143503.